



# 现代计算机组成原理

---

潘明 潘松 编著

科学出版社



# 第 9 章

---

## 32位IP软核嵌入式系统

# 9.1 Nios/NiosII软核处理器

---

目前最有代表性的软核嵌入式系统处理器分别是  
**Altera** 的 **Nios** 和 **NiosII** 核，  
**Xilinx** 的 **MicroBlaze** 核。

---

# 9.2 Nios软核处理器及其设计流程

---

## 9.2.1 Nios处理器

### Nios 的主要特性

- 较多的可配置的寄存器。
  - 极大的灵活性和系统可扩展性。
  - 功能强大的开发工具。
-

## 9.2.2 Nios 处理器内部结构

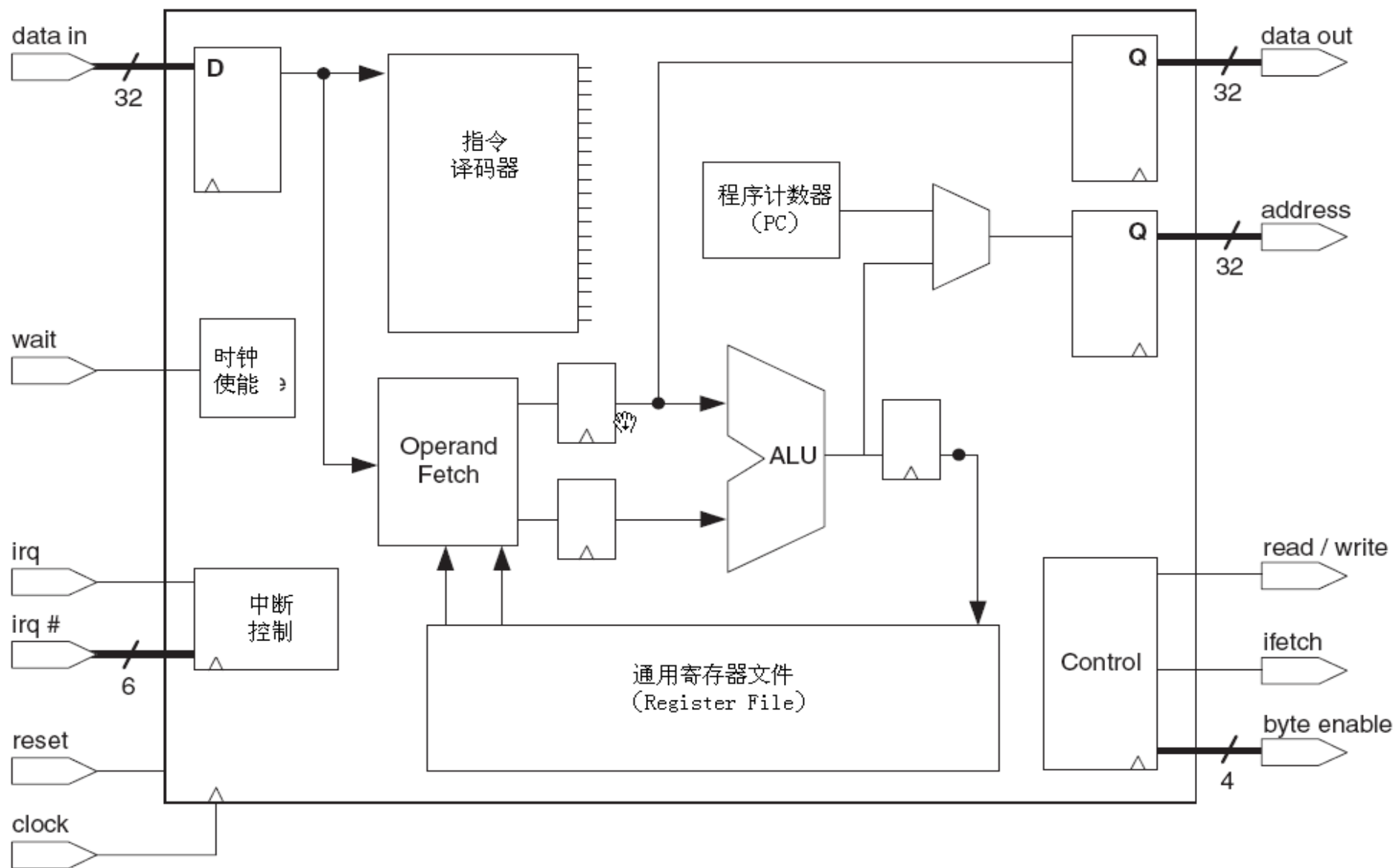


图9-1 Nios CPU内部结构示意图

## 9.2.3 Nios系统硬件开发流程

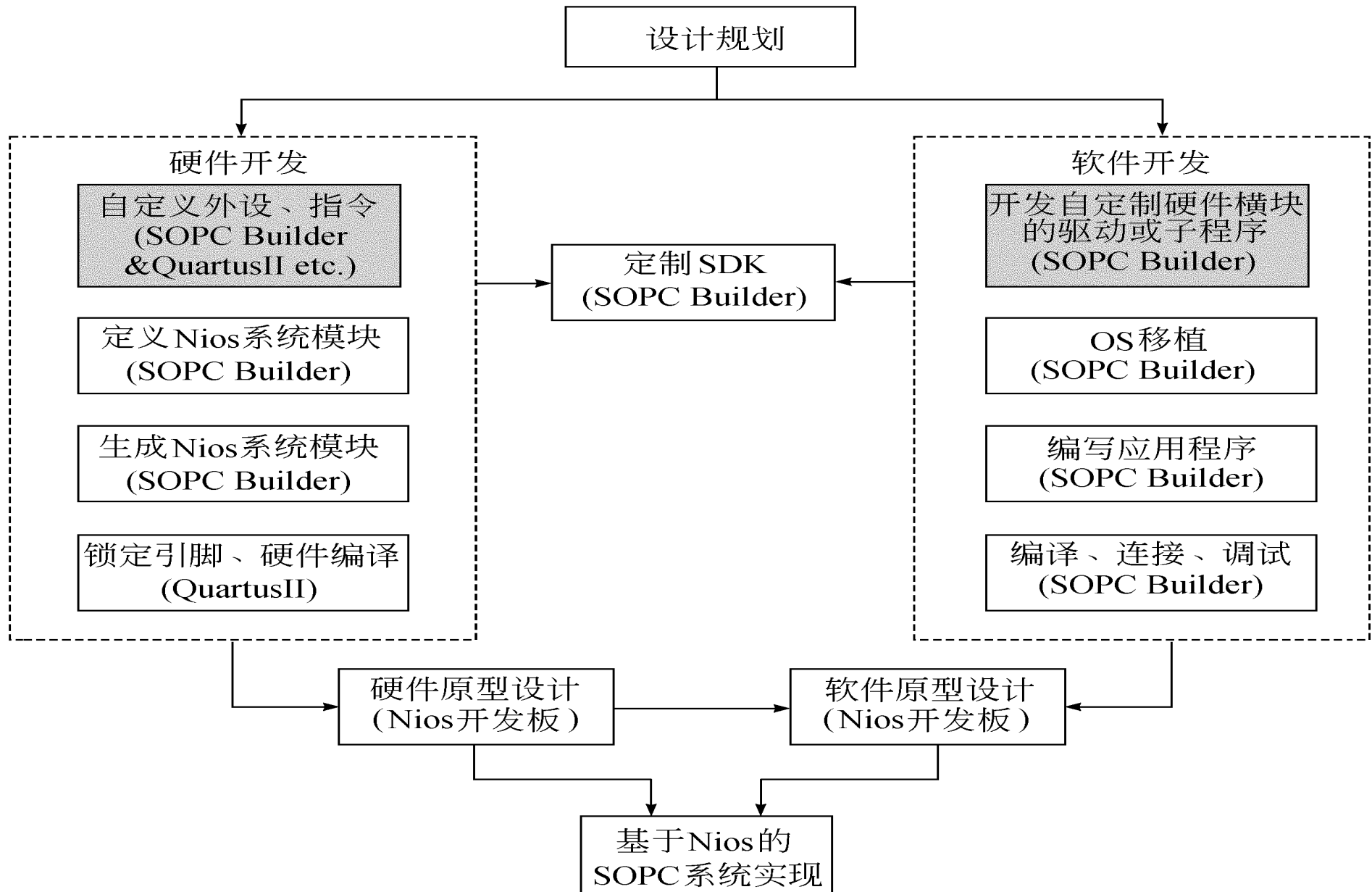


图9-2 Nios软硬件开发流程图

## 9.2 Nios软核处理器及其设计流程

---

### 9.2.4 Nios系统软件开发流程

1. 获取目标Nios系统SDK
  2. 建立和编译应用软件
  3. 下载可执行代码到开发板
  4. 调试代码
  5. 代码为自启动代码
  6. 移植到目标硬件
-

# 9.2 Nios软核处理器及其设计流程

## 9.2.4 Nios系统软件开发流程

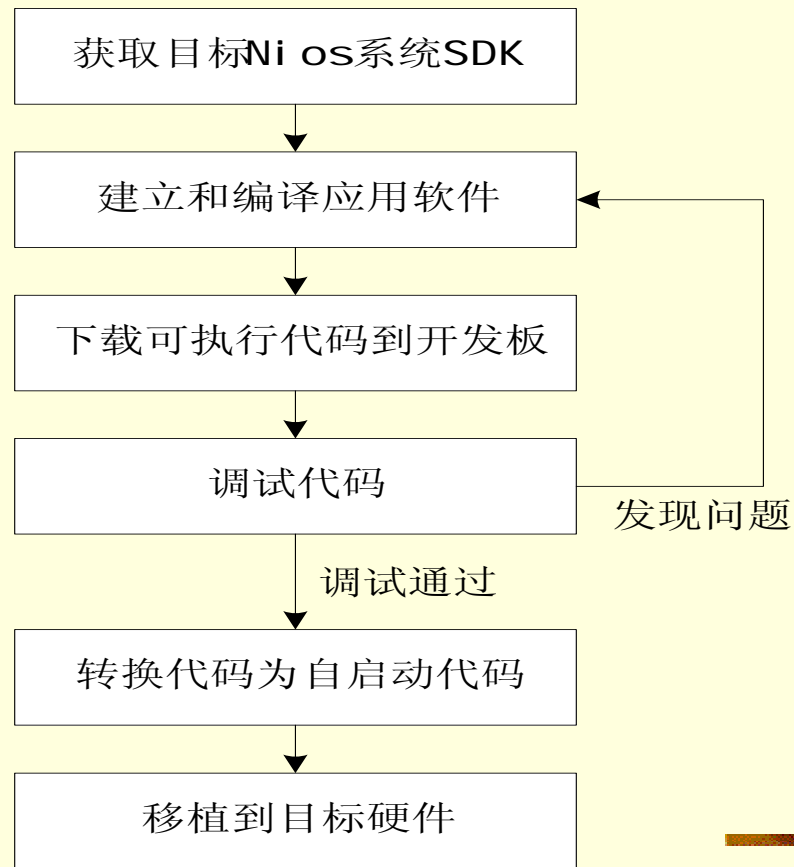


图9-3 Nios软件开发流程



# 9.3 32位NiosII系统设计

## 9.3.1 NiosII系统的优势

### 1. 根据需要实现不同性能组合

- 可选择的三种处理器内核。
- 数十种NiosII配备的接口内核。
- 无限的DMA信道组合。
- 可配置的硬件及软件调试特性。

### 2. 良好性能指标

- 选择多处理器核
- 选择性能更优秀的FPGA系列支持NiosII系统
- 用户自定义指令
- 硬件加速

### 3. 降低系统成本

# 9.3 32位NiosII系统设计

---

## 9.3.2 NiosII系统开发流程

1. NiosII硬件开发流程

2. NiosII软件设计流程

3. Nios II集成开发环境

(1) 工程管理器

(2) 编辑器和编译器

(3) 调试器

(4) **Flash**编程器

---

## 9.4 自定义Avalon总线外设

### 1. Avalon总线从读 (Slave Read)

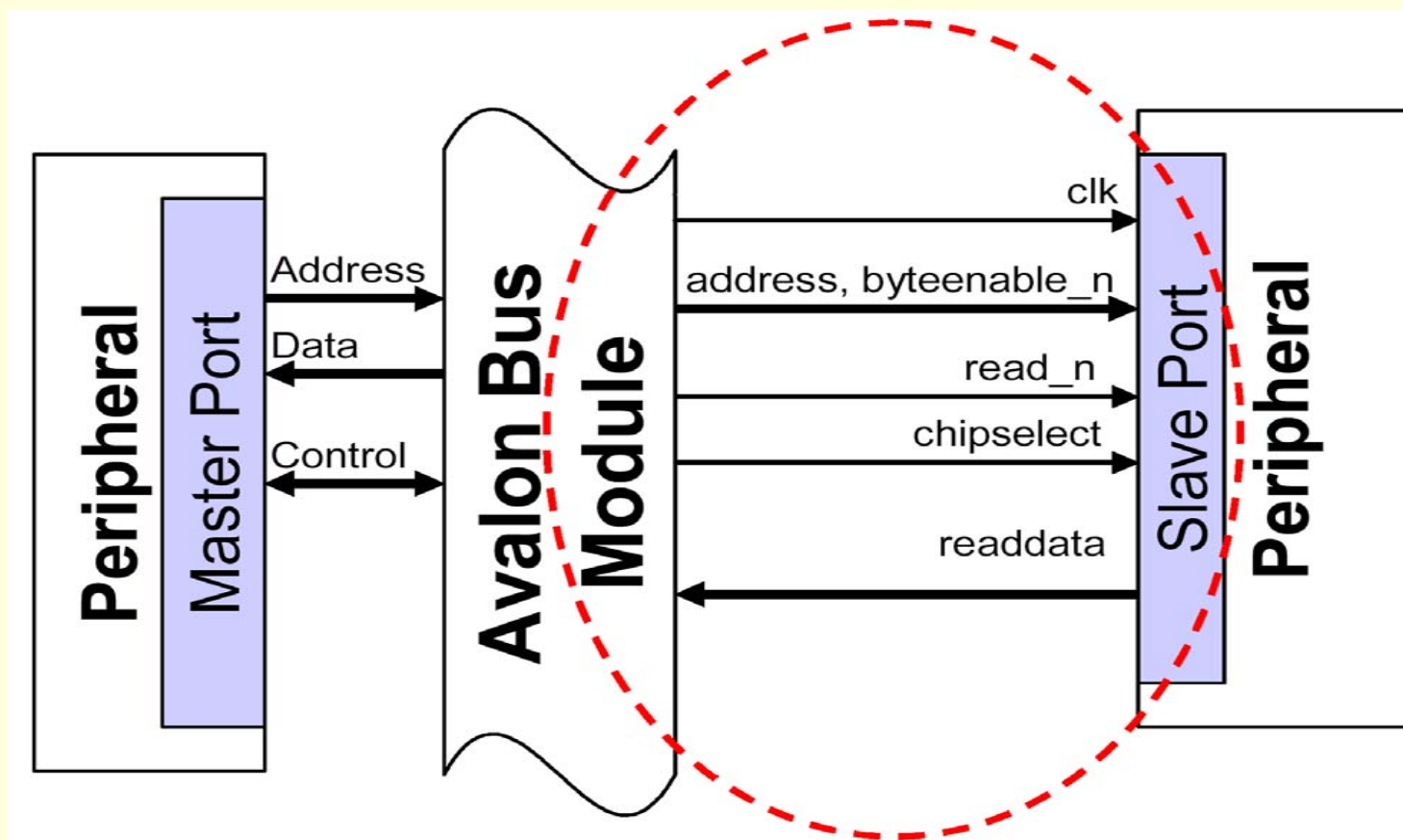


图9-4 Avalon从读传输

# 9.4 定制Avalon总线外设

## 1. Avalon总线从读 (Slave Read)

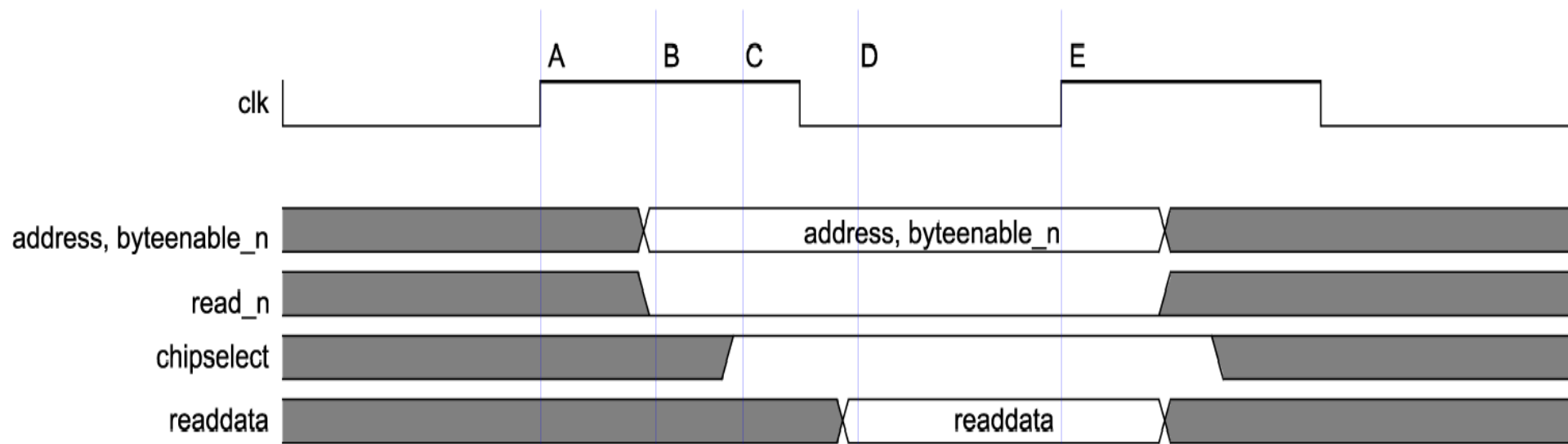


图9-5 Avalon从读传输时序

## 9.4 定制Avalon总线外设

### 2. Avalon总线带1个延迟状态从读（Slave Read）

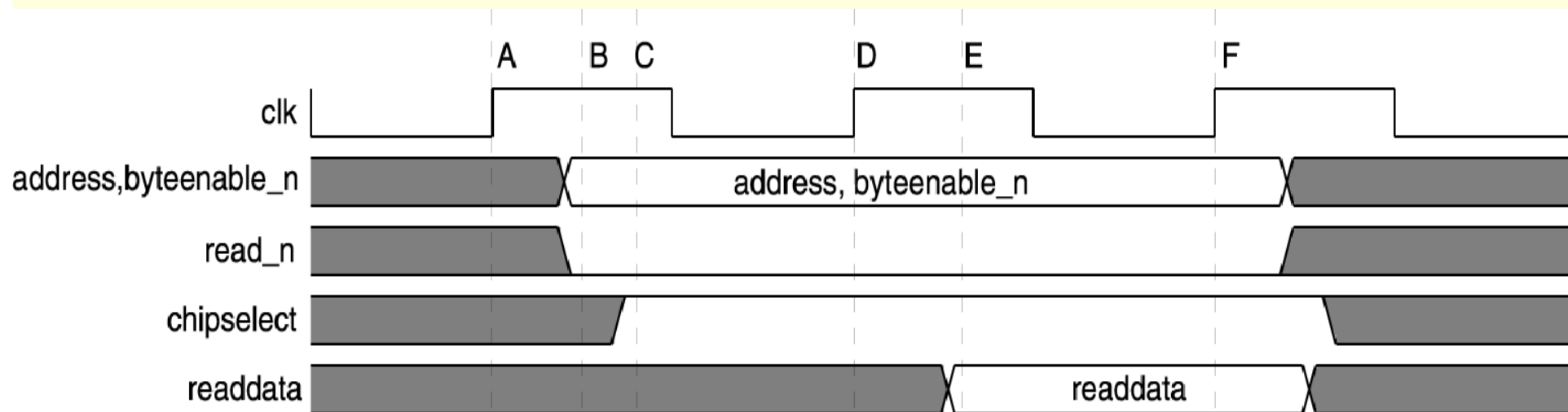


图9-6 Avalon带延迟从读传输时序

# 9.4 定制Avalon总线外设

## 3. 定制Avalon从外设

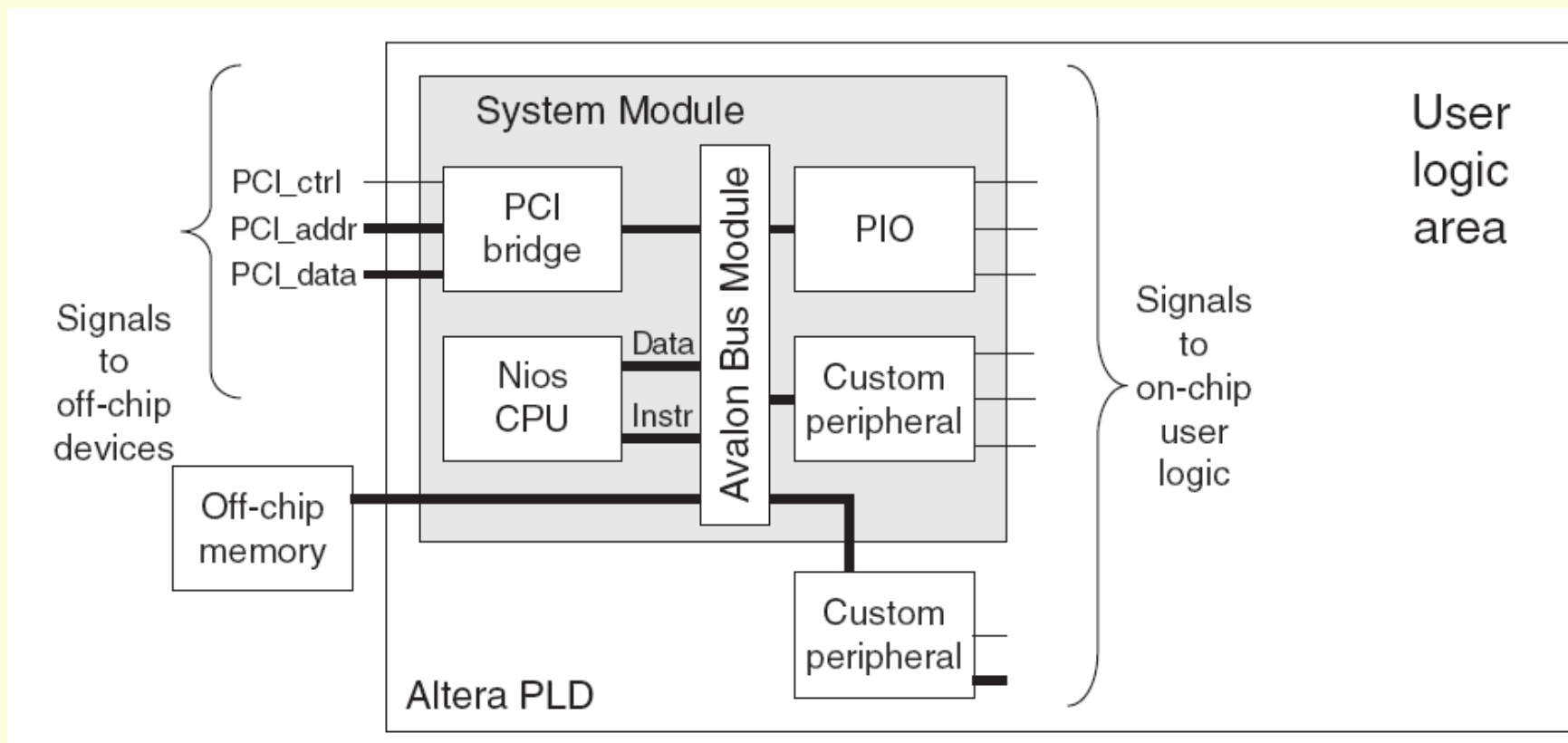


图9-7 Nios定制外设示意图

## 9.5 DMA

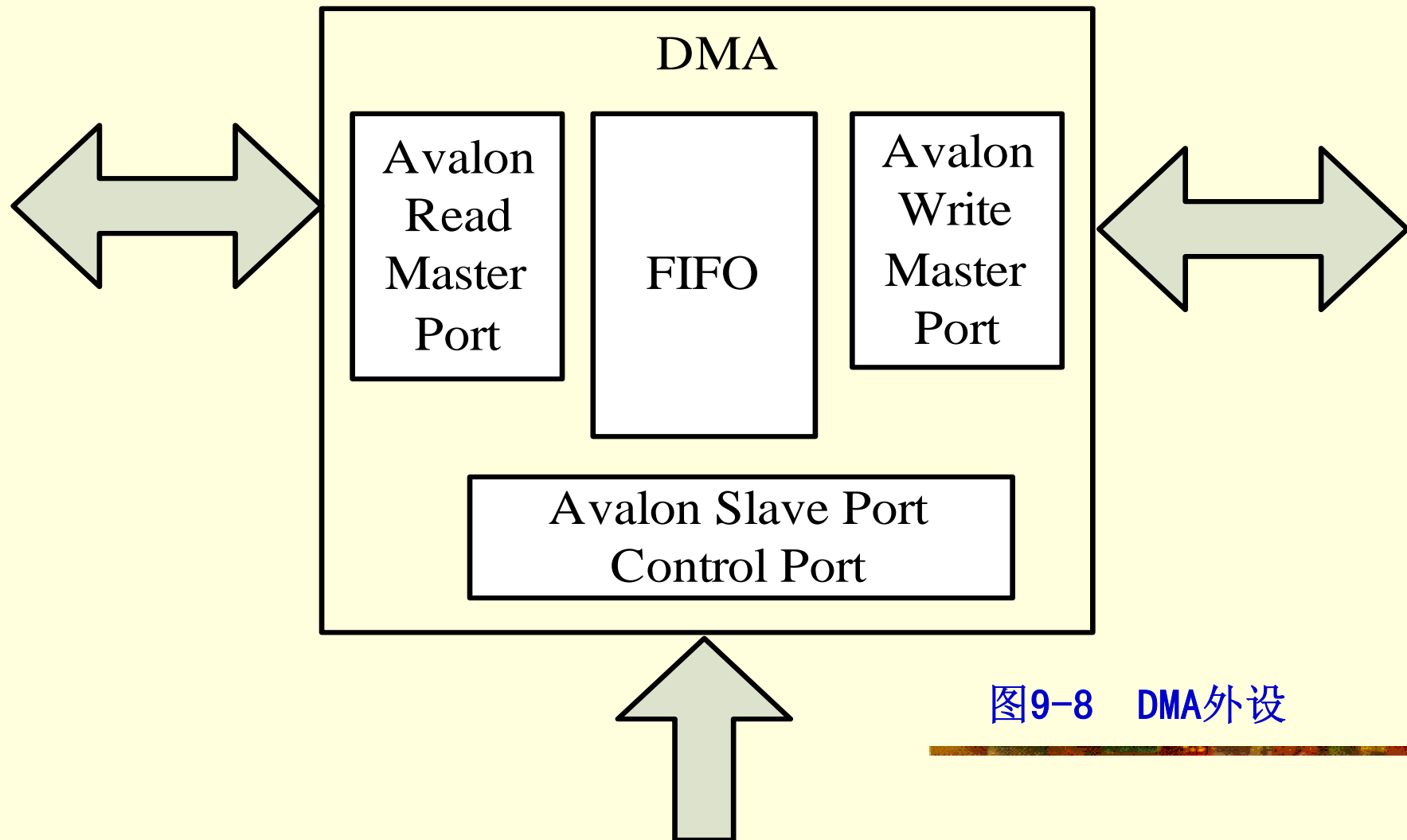


图9-8 DMA外设

## 9.6 定制硬件指令

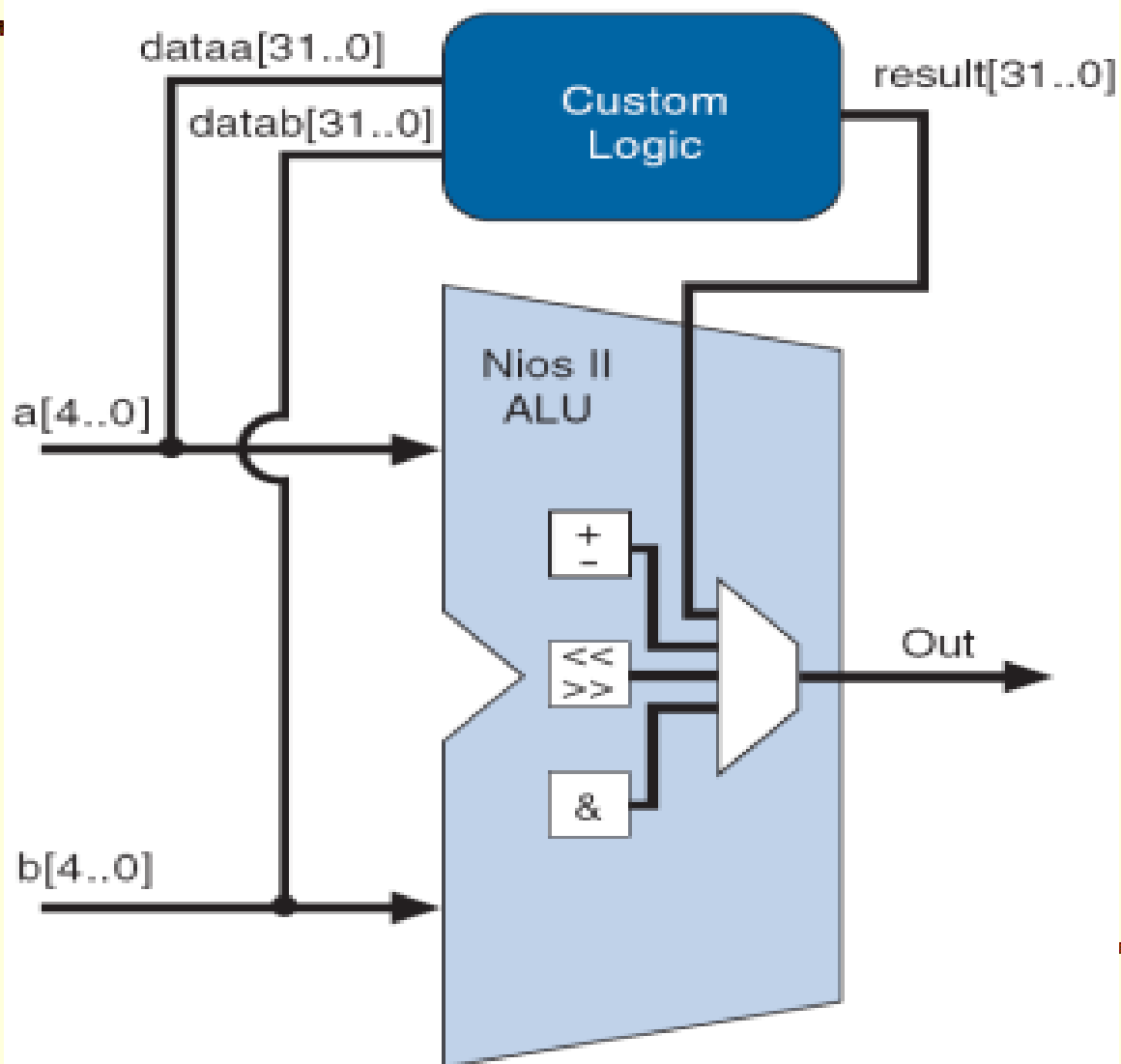


图9-9 定制指令逻辑模块



# 9.6 自定制硬件指令

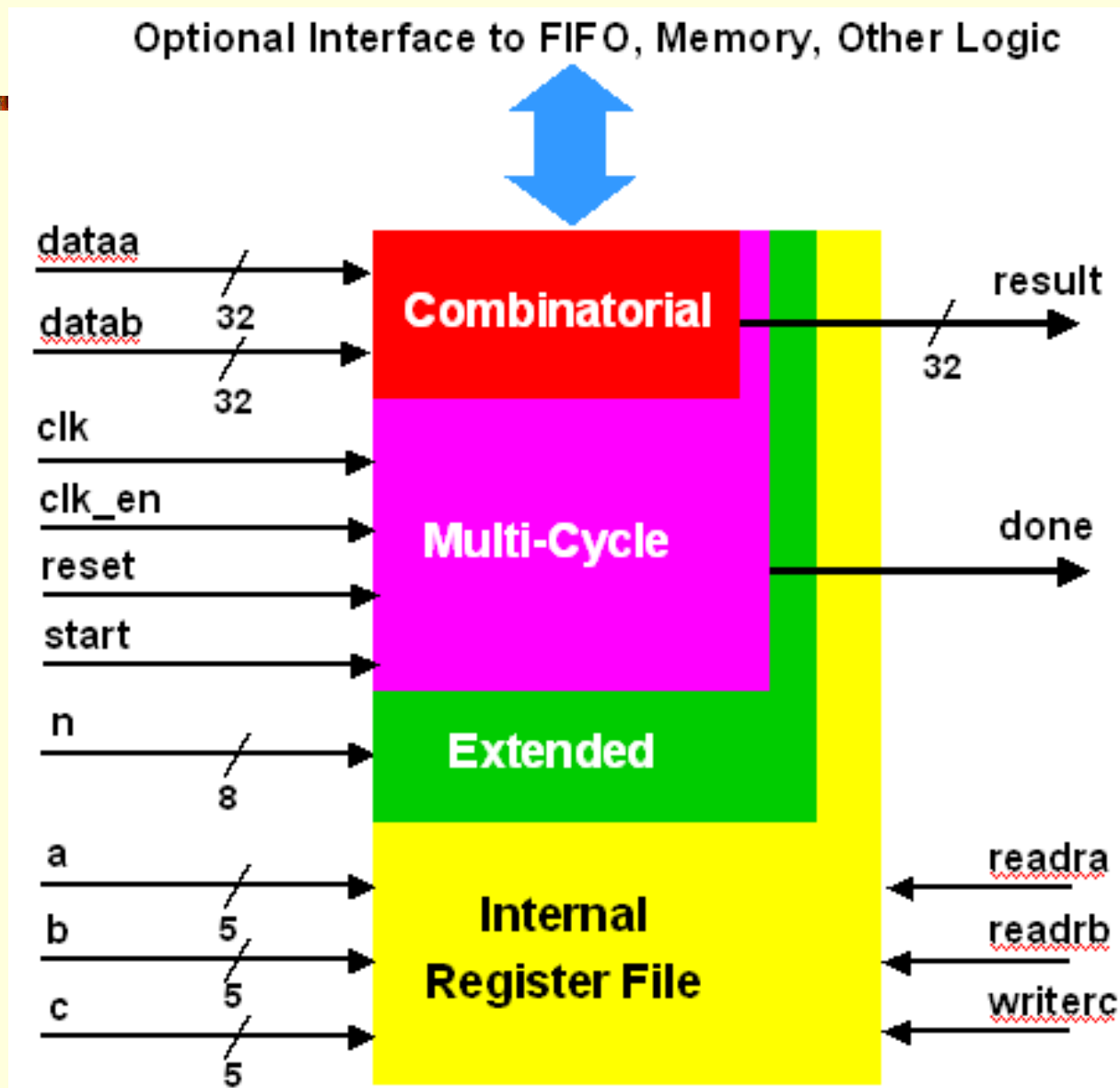


图9-10 自定制指令  
逻辑模块接口

# 9.6 自定义硬件指令

表9-1 信号线的名称定义

信号名称	宽度	方向	描述
<b>dataa</b>	<b>32位 (Nios32)</b>	<b>Input</b>	操作数
<b>datab</b>	<b>32位 (Nios32)</b>	<b>Input</b>	操作数 (可选)
<b>result</b>	<b>32位 (Nios32)</b>	<b>Output</b>	运算结果
<b>clk</b>	<b>1</b>	<b>Input</b>	<b>CPU主时钟</b>
<b>reset</b>	<b>1</b>	<b>Input</b>	<b>CPU复位</b>
<b>clk_en</b>	<b>1</b>	<b>Input</b>	时钟有效信号
<b>start</b>	<b>1</b>	<b>Input</b>	操作启动信号
<b>prefix</b>	<b>11</b>	<b>Input</b>	预装载K寄存器值

## 9.6 自定制硬件指令

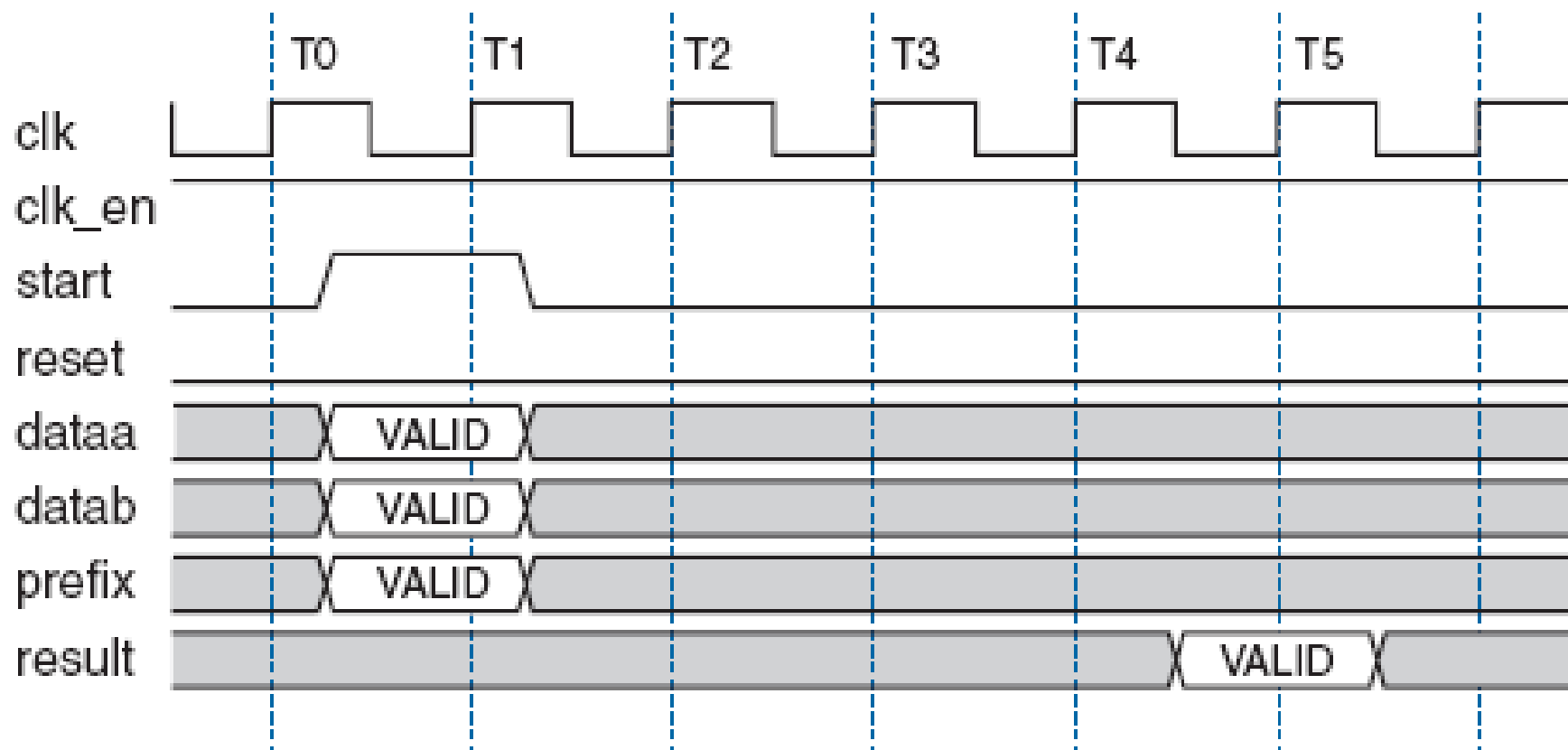


图9-11 5clk周期的自定制指令操作时序