


第1章

EDA技术概述



1.1 EDA技术

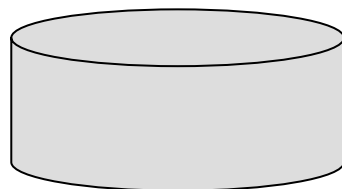
EDA

Electronic Design Automation



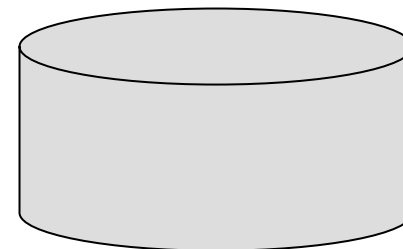
20世纪70年代

EDA技术雏形



20世纪80年代

EDA技术基础形成



20世纪90年代

EDA技术成熟和实用



1.1 EDA技术

EDA 技术在进入 21 世纪后，得到了更大的发展，突出表现在以下几个方面：

- 在 FPGA 上实现 DSP（数字信号处理）应用成为可能，用纯数字逻辑进行 DSP 模块的设计，使得高速 DSP 实现成为现实，并有力地推动了软件无线电技术的实用化和发展。基于 FPGA 的 DSP 技术，为高速数字信号处理算法提供了实现途径。
- 嵌入式处理器软核的成熟，使得 SOPC（System On a Programmable Chip）步入大规模应用阶段，在一单片 FPGA 中实现一个完备的可随意重构的嵌入式系统成为可能。
- 在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断推出。
- EDA 使得电子领域各学科的界限更加模糊，更加互为包容：模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA 等。
- 基于 EDA 的用于 ASIC 设计的标准单元已涵盖大规模电子系统及复杂 IP 核模块。
- 软硬 IP(Intellectual Property)核在电子行业的产业领域广泛应用。
- SoC 高效低成本设计技术的成熟。
- 系统级、行为验证级硬件描述语言的出现（如 System C），使复杂电子系统的设计和验证趋于简单。

1.2 EDA技术应用对象

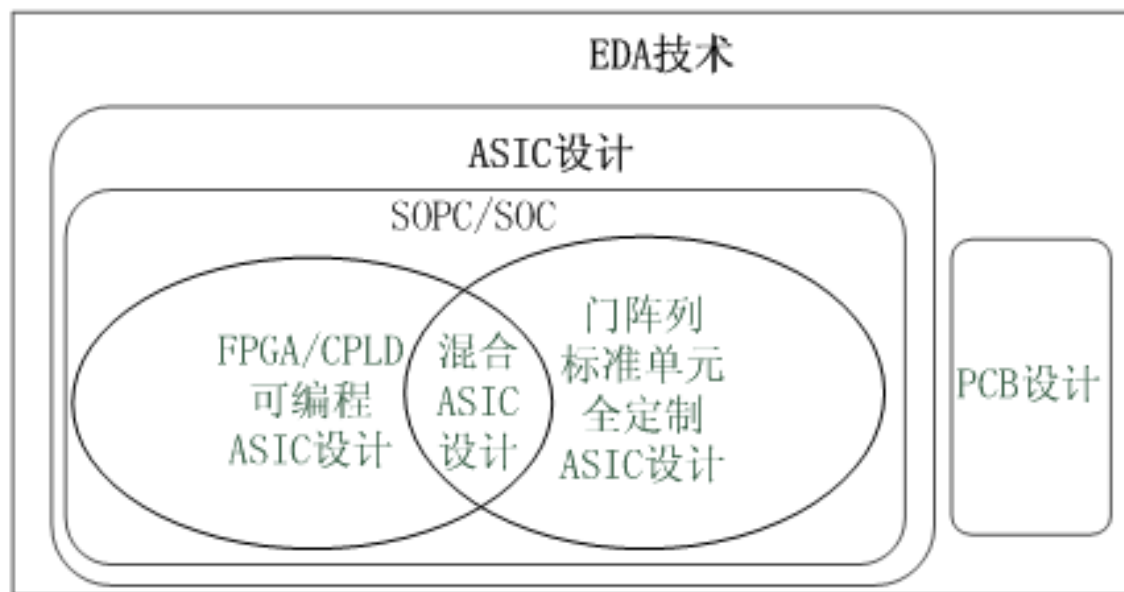
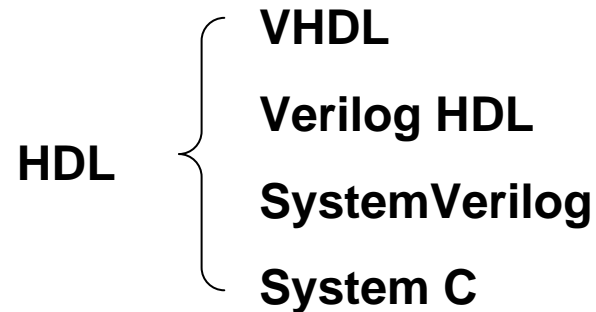


图 1-1 EDA 技术实现目标

1. 可编程逻辑器件
2. 半定制或全定制**ASIC**
3. 混合**ASIC**



1.3 硬件描述语言Verilog HDL



- ◎ Verilog的部分语法是参照C语言的语法设立
 - ◎ Verilog具有很强的电路描述和建模能力
 - ◎ Verilog支持各种模式的设计方法
-



1.4 EDA技术的优势

1. 用**HDL**对数字系统进行抽象的行为与功能描述到具体的内部线路结构描述，保证设计过程的正确性，大大降低设计成本，缩短设计周期。
 2. **EDA**工具之所以能够完成各种自动设计过程，关键是有各类库的支持。
 3. 某些**HDL**本身也是文档型的语言(如**Verilog**)，极大地简化设计文档的管理。
 4. **EDA**技术最具现代电子设计技术特征的功能是日益强大的逻辑设计仿真测试技术。极大地提高了大规模系统电子设计的自动化程度。
 5. 由于用**HDL**表达的成功专用功能设计在实现目标方面有很大的可选性，它既可以用不同来源的通用**FPGA/CPLD**实现，也可以直接以**ASIC**来实现。
 6. **EDA**技术的设计语言是标准化的，开发工具是规范化的，**EDA**软件平台支持任何标准化的设计语言；它的设计成果是通用性的，**IP**核具有规范的接口协议。
 7. **EDA**技术最大的优势就是能将所有设计环节纳入统一的自顶向下的设计方案中。
 8. **EDA**不但在整个设计流程上充分利用计算机的自动设计能力，而且在各个设计层次上利用计算机完成不同内容的仿真模拟，而且在系统板设计结束后仍可利用计算机对硬件系统进行完整的测试。
-

1.5 面向FPGA的EDA开发流程

1.5.1 设计输入

1. 图形输入

2. 硬件描述语言
代码文本输入

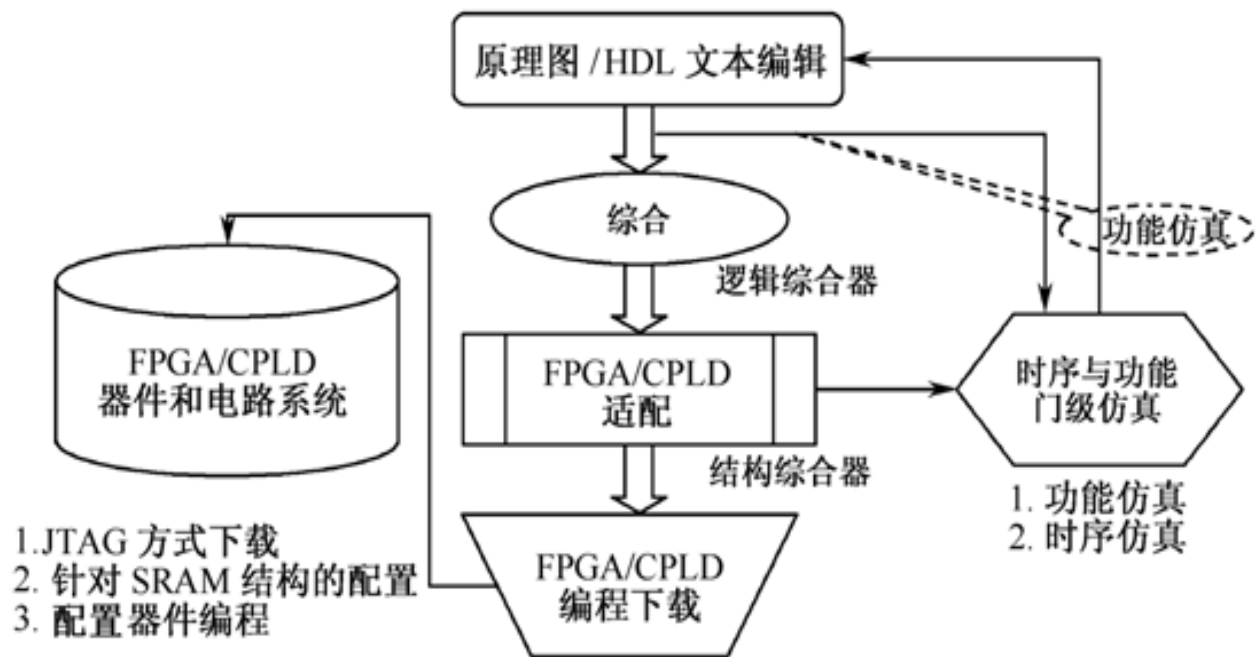
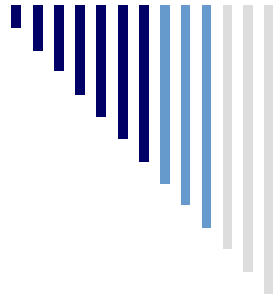


图 1-2 FPGA 的 EDA 开发流程



1.5 面向FPGA的EDA开发流程

1.5.2 综合

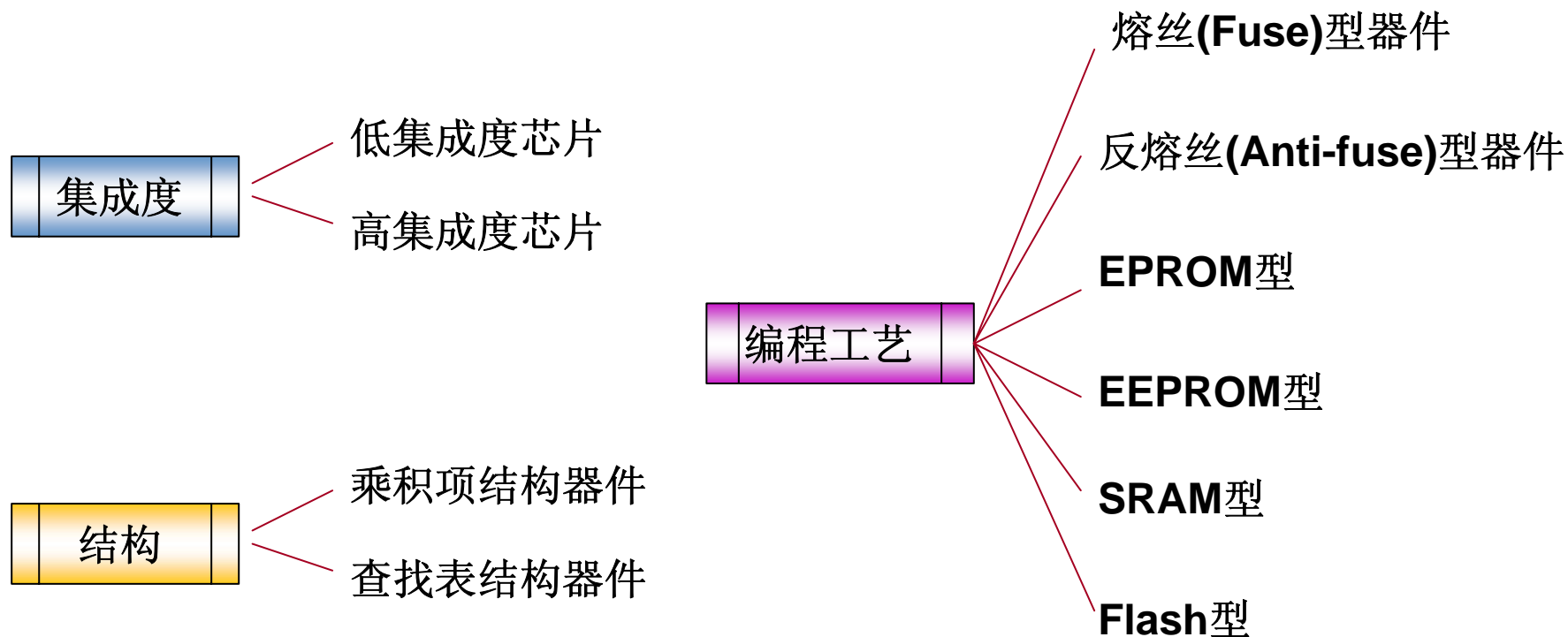
1.5.3 适配（布线布局）

1.5.4 仿真

- 时序仿真
- 功能仿真

1.6 可编程逻辑器件

1.6.1 PLD的分类



1.6 可编程逻辑器件

1.6.2 PROM可编程原理

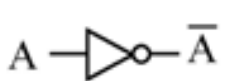



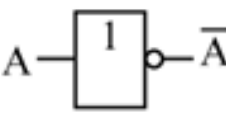

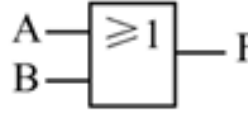
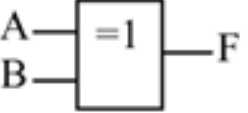
	非门	与门	或门	异或门
IEEE 1991 版 标准逻辑符号				
IEEE 1984 版 标准逻辑符号				
逻辑表达式	$\bar{A} = \text{NOT } A$	$F = A \cdot B$	$F = A + B$	$F = A \oplus B$

图 1-3 两种不同版本的国际标准逻辑门符号对照表

1.6 可编程逻辑器件

1.6.2 PROM可编程原理



图 1-4 PLD 的互补缓冲器

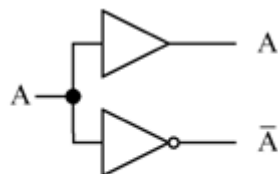


图 1-5 PLD 的互补输入



图 1-6 PLD 中与阵列的表示



图 1-7 PLD 中或阵列的表示



图 1-8 阵列线连接表示

1.6 可编程逻辑器件

1.6.2 PROM可编程原理

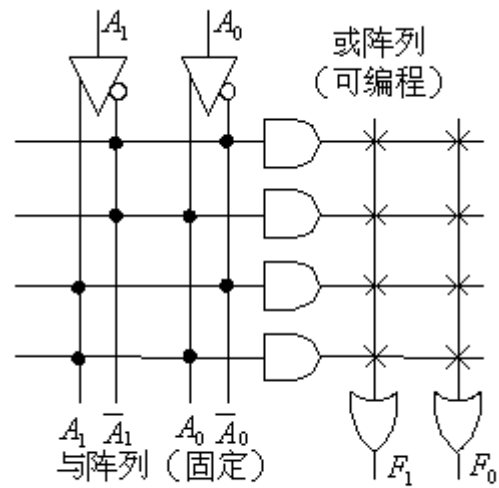


图 1-9 PROM 表达的 PLD 阵列图

1.6 可编程逻辑器件

1.6.2 PROM可编程原理

$$S = A_0 \oplus A_1, \quad C = A_0 \cdot A_1$$

$$F_0 = A_0 \bar{A}_1 + \bar{A}_0 A_1, \quad F_1 = A_1 A_0$$

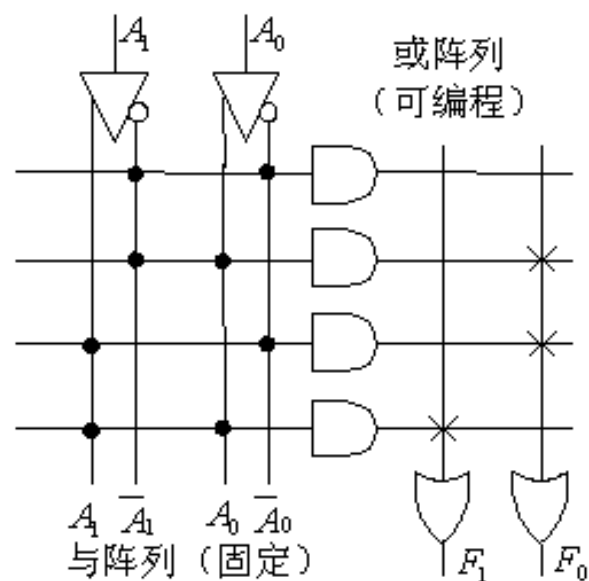


图 1-10 用 PROM 完成半加器逻辑阵列

1.6 可编程逻辑器件

1.6.3 GAL

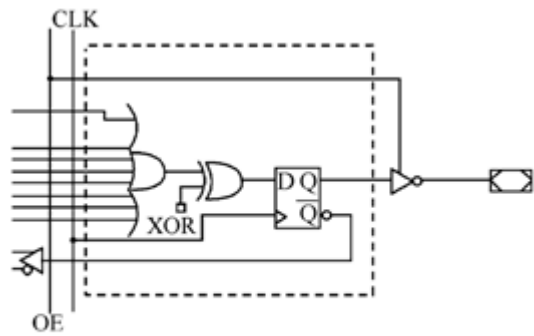


图 1-12 寄存器输出结构

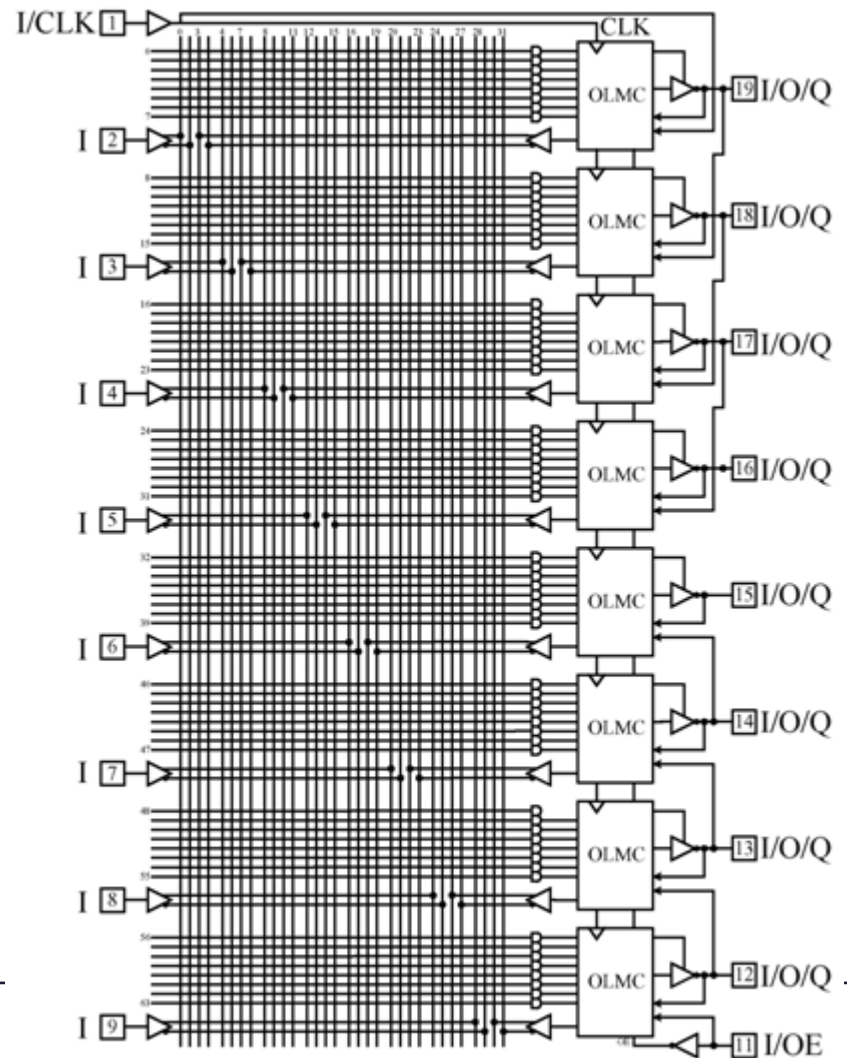


图 1-11 GAL16V8 的结构图

1.7 CPLD的结构与可编程原理

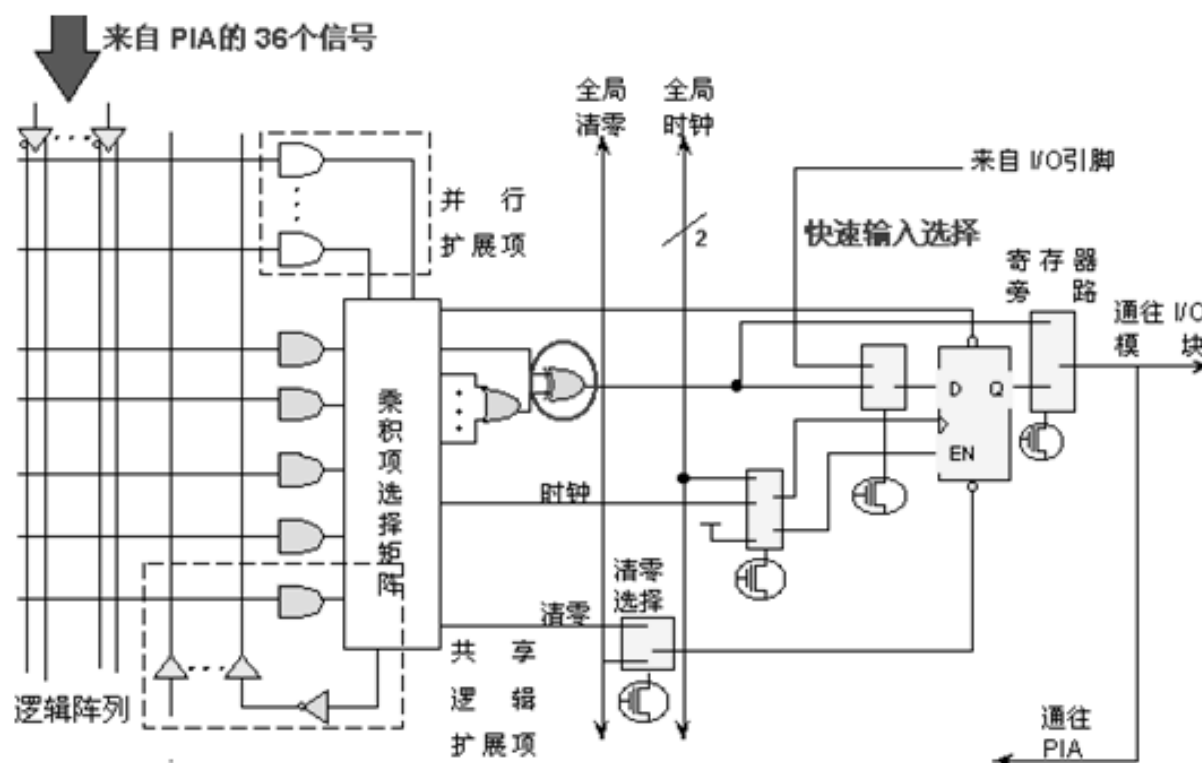


图 1-13 MAX7000 系列的单个逻辑宏单元结构

1.7 CPLD的结构与可编程原理

1. 逻辑阵列块

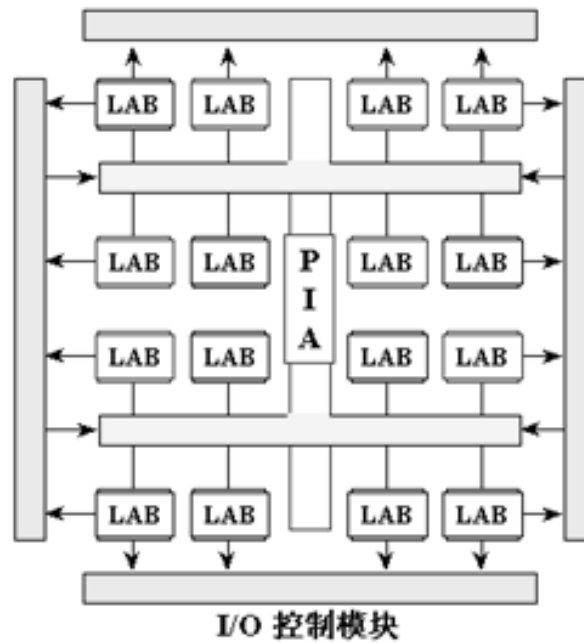


图 1-14 MAX7128S 的结构

1.7 CPLD的结构与可编程原理

2. 逻辑宏单元

3. 可编程连线阵列

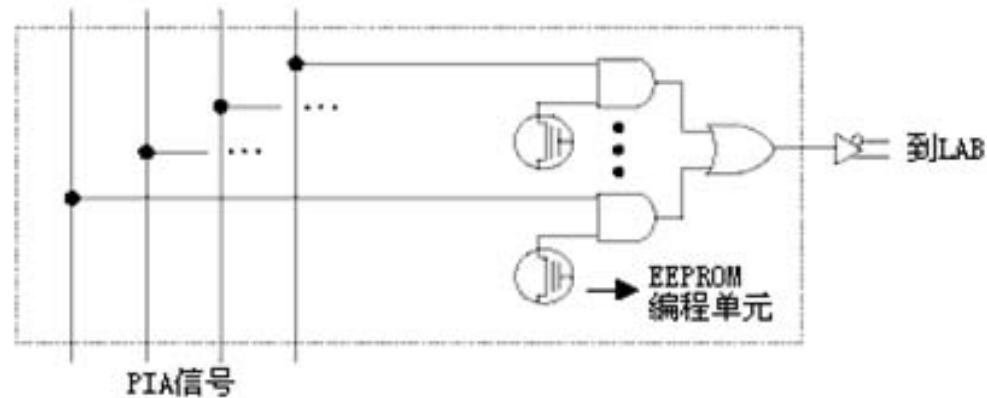


图 1-15 PIA 信号布线到 LAB 的方式

1.7 CPLD的结构与可编程原理

4. I/O控制块

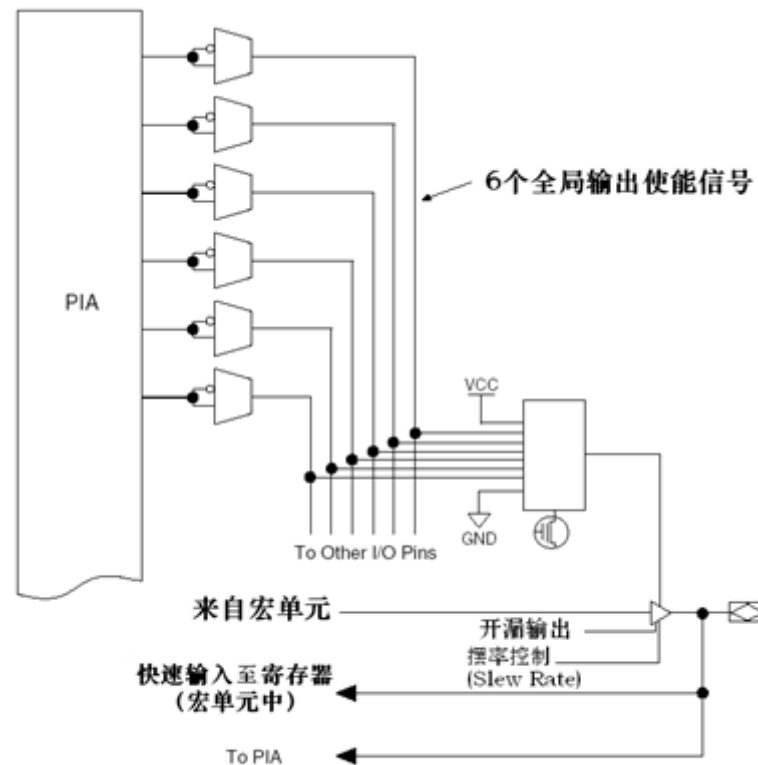


图 1-16 EPM7128S 器件的 I/O 控制块

1.8 FPGA的结构与工作原理

1.8.1 查找表逻辑结构

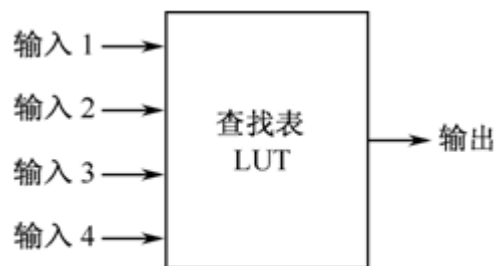


图 1-17 FPGA 查找表单元

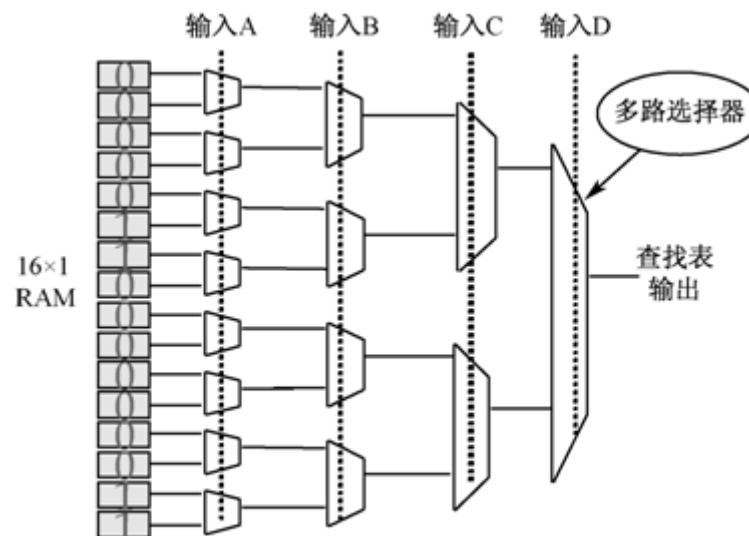
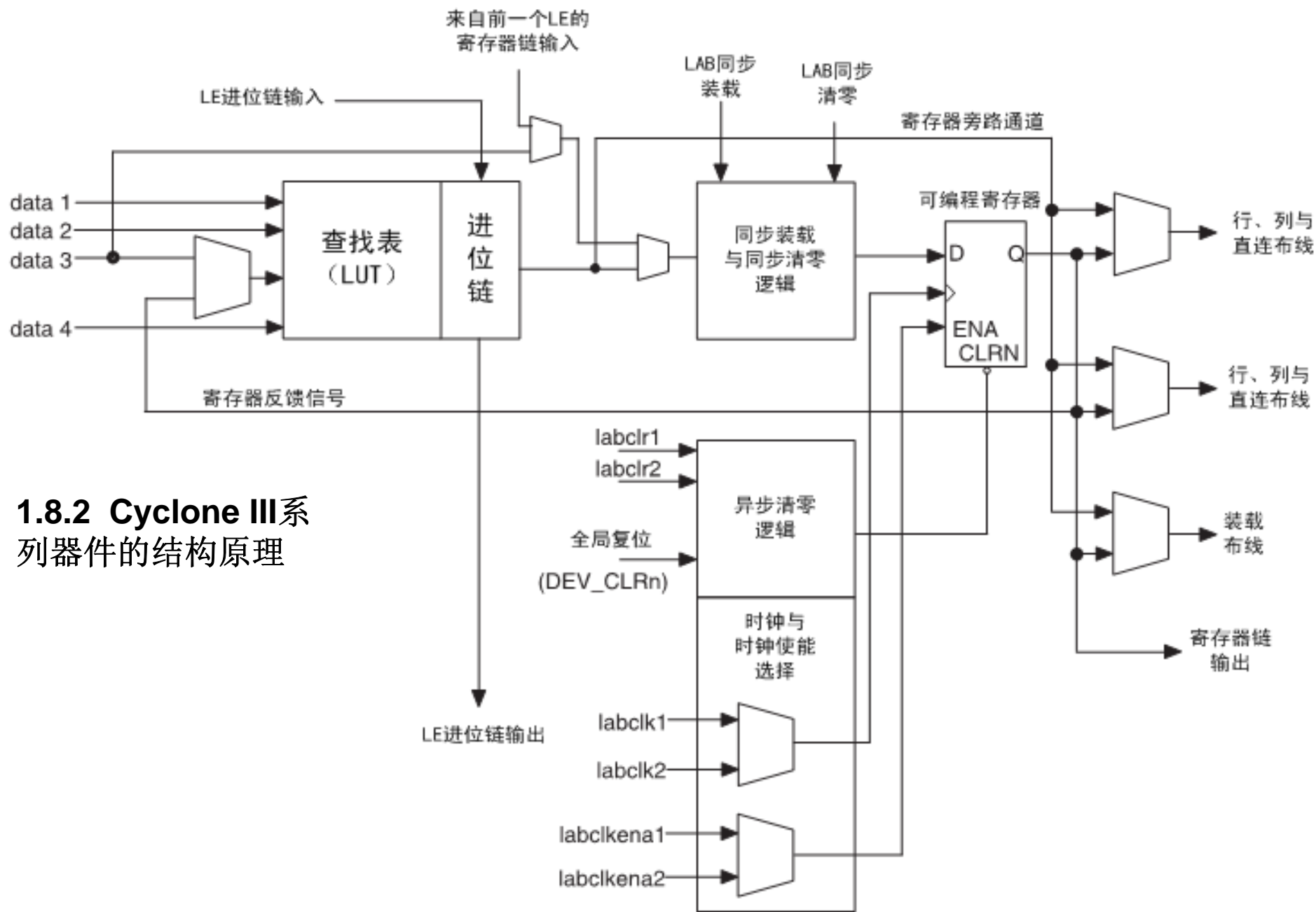


图 1-18 FPGA 查找表单元内部结构



1.8.2 Cyclone III系列器件的结构原理

图 1-19 Cyclone III 的 LE 结构图

1.8 FPGA的结构与工作原理

1.8.2 Cyclone III系列器件的结构原理

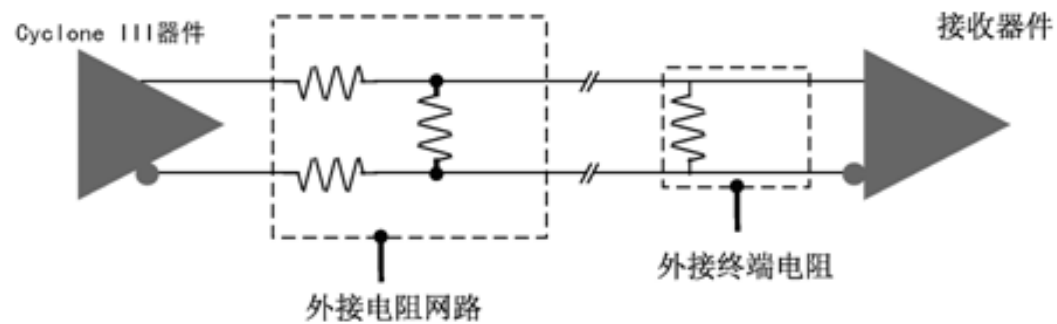


图 1-20 LVDS 连接



1.9 硬件测试技术

1.9.1 内部逻辑测试

1.9.2 JTAG边界扫描测试

表 1-1 边界扫描 IO 引脚功能

引脚	描述	功能
TDI	测试数据输入(Test Data Input)	测试指令和编程数据的串行输入引脚。数据在 TCK 的上升沿移入。
TDO	测试数据输出(Test Data Output)	测试指令和编程数据的串行输出引脚，数据在 TCK 的下降沿移出。如果数据没有被移出时，该引脚处于高阻态。
TMS	测试模式选择(Test Mode Select)	控制信号输入引脚，负责 TAP 控制器的转换。TMS 必须在 TCK 的上升沿到来之前稳定。
TCK	测试时钟输入(Test Clock Input)	时钟输入到 BST 电路，一些操作发生在上升沿，而另一些发生在下降沿。
TRST	测试复位输入(Test Reset Input)	低电平有效，异步复位边界扫描电路(在 IEEE 规范中，该引脚可选)。



1.10 FPGA/CPLD产品概述

1.10.1 Lattice公司的PLD器件

1. ispLSI系列器件
 2. MACHXO系列
 3. MACH4000系列
 4. LatticeSC FPGA系列
 5. LatticeECP3 FPGA系列
-



1.10 FPGA/CPLD产品概述

1.10.2 Xilinx公司的PLD器件

1. Virtex-6系列FPGA
 2. Spartan-6器件系列
 3. XC9500/XC9500XL系列CPLD
 4. Xilinx Spartan-3A系列器件
-



1.10 FPGA/CPLD产品概述

1.10.3 Altera公司的PLD器件

1. Stratix 4/6 系列FPGA
 2. Cyclone 4/5系列FPGA
 3. Cyclone 和Cyclone II系列FPGA
 4. Cyclone III系列FPGA
 5. MAX系列CPLD
 6. MAX II系列器件
-



1.11 编程与配置

目前常见的大规模可编程逻辑器件的编程工艺

1. 基于电可擦除存储单元的**EEPROM**或**Flash**技术。
 2. 基于**SRAM**查找表的编程单元。
 3. 基于反熔丝编程单元。
-

1.12 QuartusII

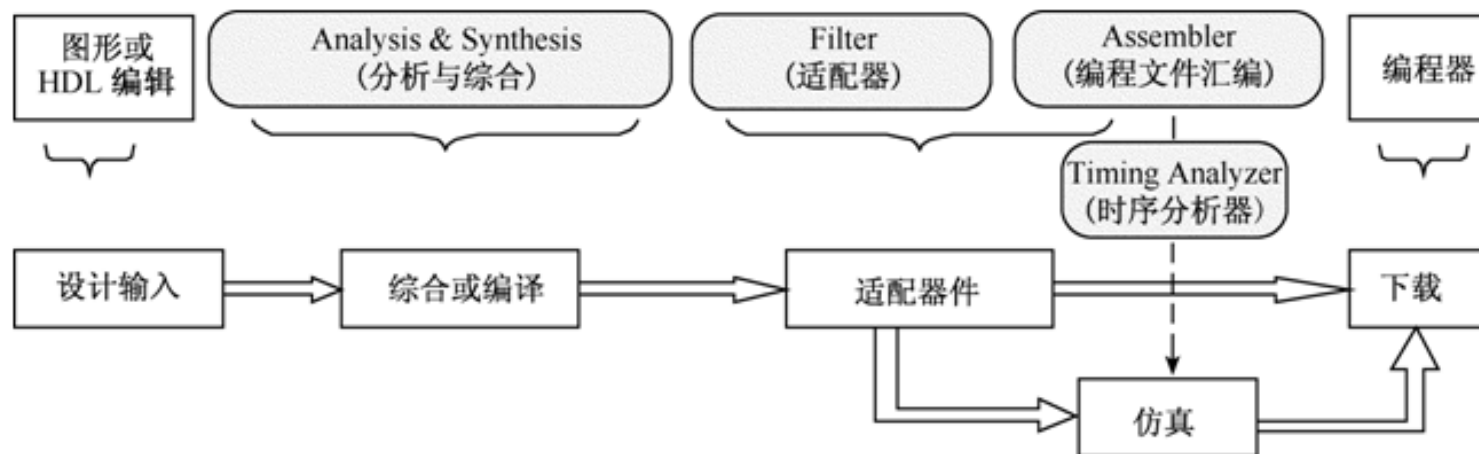


图 1-21 Quartus II 设计流程



1.13 IP核



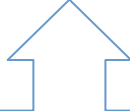
软 IP



用HDL等硬件
描述语言描述的
功能块



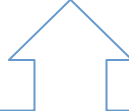
固 IP



完成了综合的
功能块



硬 IP



提供设计的最终
阶段产品：
掩膜



1.14 EDA的发展趋势

现在，传统**ASIC**和**FPGA**之间的界限正变得模糊。系统级芯片不仅集成**RAM**和微处理器，也集成**FPGA**。整个**EDA**和**IC**设计工业都朝这个方向发展，这并非是**FPGA**与**ASIC**制造商竞争的产物，而对于用户来说，意味着有了更多的选择。
