

第4章



组合逻辑电路的分析与设计

4.1 组合逻辑电路手工分析

4.1.1 组合逻辑电路的定义

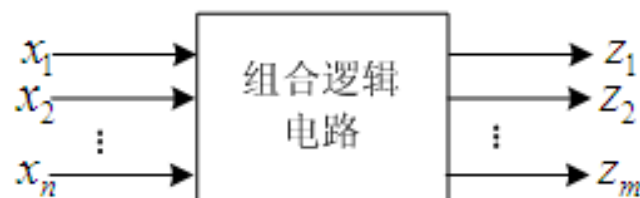


图 4-1 组合逻辑电路框图

$$z_i = f_i(x_1, x_2, \dots, x_n) \quad (i=1, 2, \dots, m)$$

4.1组合逻辑电路手工分析

4.1.2 组合逻辑电路的手工分析步骤

- (1) 根据给定的逻辑电路，写出输出逻辑函数表达式；
- (2) 用卡诺图或公式法化简逻辑函数表达式；
- (3) 列出输入输出关系真值表；
- (4) 根据真值表说明电路的逻辑功能。

4.1 组合逻辑电路手工分析

4.1.3 组合逻辑电路分析实例

1. 单输出组合逻辑电路的分析

【例4-1】 已知逻辑电路如图4-2所示，分析该电路逻辑功能。

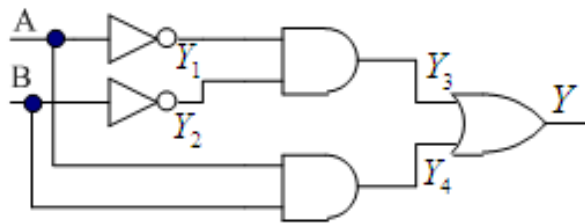


图 4-2 单输出组合逻辑电路图

$$\begin{aligned} Y_1 &= \bar{A} ; & Y_2 &= \bar{B} ; \\ Y_3 &= Y_1 \cdot Y_2 = \bar{A} \cdot \bar{B} ; & Y_4 &= A \cdot B ; \\ Y &= Y_3 + Y_4 ; \end{aligned}$$

表 4-1 例 4-1 真值表

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

$$Y = Y_3 + Y_4 = \bar{A} \cdot \bar{B} + A \cdot B = A \odot B$$

4.1 组合逻辑电路手工分析

4.1.3 组合逻辑电路分析实例

2. 多输出组合逻辑电路的分析

【例4-2】 已知逻辑电路如图4-3所示，分析该电路的逻辑功能。

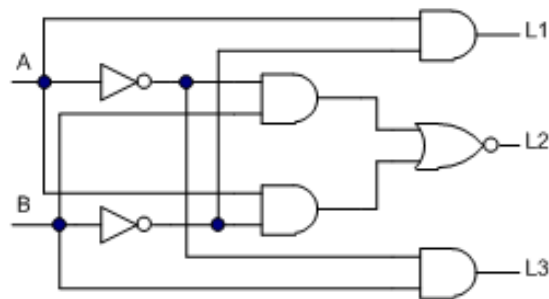


图 4-3 多输出组合逻辑电路图

A	B	L ₁	L ₂	L ₃
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

$$L_1 = A \cdot \bar{B} \quad ; \quad L_3 = \bar{A} \cdot B$$

$$L_2 = \overline{A \cdot \bar{B} + \bar{A} \cdot B} = \overline{A \cdot \bar{B}} \cdot \overline{\bar{A} \cdot B} = (\bar{A} + B) \cdot (A + \bar{B}) = A \cdot B + \bar{A} \cdot \bar{B} = A \oplus B \quad ;$$

4.2 组合逻辑电路手工设计方法

4.2.1 组合逻辑电路的一般设计步骤

- (1) 对实际逻辑问题进行逻辑抽象，确定输入、输出变量；
分别对输入、输出变量的具体含义进行定义，
然后根据输出与输入之间的逻辑关系列出真值表。
- (2) 根据真值表写出相应的逻辑函数表达式；
- (3) 将逻辑函数表达式化简，并转换成所需要的形式；
- (4) 根据最简逻辑函数表达式画出逻辑电路图。

4.2 组合逻辑电路手工设计方法

4.2.2 组合逻辑电路的设计示例

【例4-3】 分别用与非门和或非门设计一个表决电路。即设计一个A、B和C共三人的表决电路。当表决某个提案时，多数人同意，则提案通过；同时A具有否决权。若全票否决，也给出显示。

表 4-3 例 4-3 真值表

A	B	C	X	Y
0	0	0	0	1
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

$$X = AB + AC$$

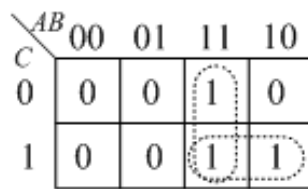


图 4-4 例 4-3 函数 X 的卡诺图

$$X = AB + AC = \overline{\overline{AB + AC}} = \overline{\overline{AB} \cdot \overline{AC}}$$

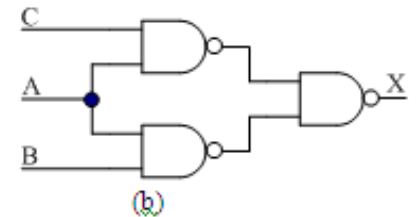
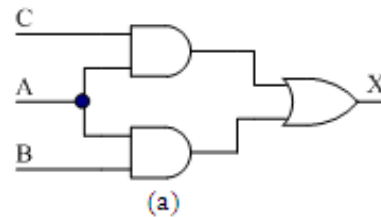


图 4-5 例 4-3 的逻辑电路图

$$Y = \overline{A\overline{B}\overline{C}} = \overline{A + B + C}$$

4.3 编码器

4.3.1 编码器的基本概念

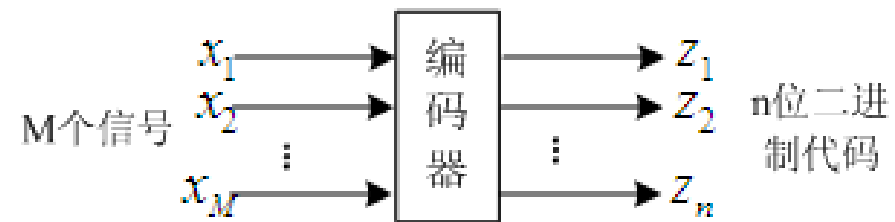


图 4-6 编码器框图

4.3 编码器

4.3.2 二进制编码器

1. 三位二进制编码器

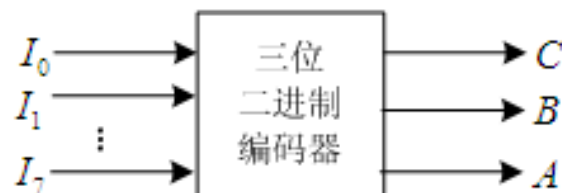


图 4-7 三位二进制编码器框图

表 4-4 三位二进制编码器的真值表

I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	C	B	A
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

表 4-5 简化真值表

输入	输出		
I	C	B	A
I_0	0	0	0
I_1	0	0	1
I_2	0	1	0
I_3	0	1	1
I_4	1	0	0
I_5	1	0	1
I_6	1	1	0
I_7	1	1	1

4.3 编码器

4.3.2 二进制编码器

1. 三位二进制编码器

$$C = I_4 + I_5 + I_6 + I_7 = \overline{\overline{I_4 + I_5 + I_6 + I_7}} = \overline{\overline{I_4} \overline{I_5} \overline{I_6} \overline{I_7}}$$
$$B = I_2 + I_3 + I_6 + I_7$$
$$A = I_1 + I_3 + I_5 + I_7$$

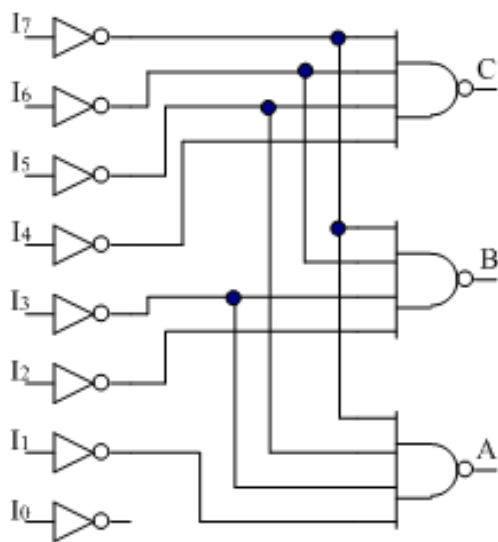


图 4-8 三位二进制编码器电路图

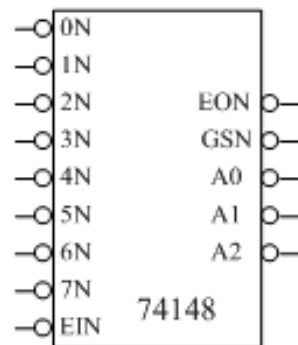


图 4-9 优先编码器逻辑符号

4.3 编码器

4.3.2 二进制编码器

2. 优先编码器

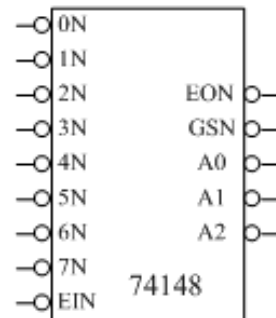


表 4-6 74LS148 真值表

图 4-9 优先编码器逻辑符号

输 入									输 出				
EIN	7N	6N	5N	4N	3N	2N	1N	0N	GSN	EON	A2	A1	A0
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	0	1	1	1
0	0	×	×	×	×	×	×	×	0	1	0	0	0
0	1	0	×	×	×	×	×	×	0	1	0	0	1
0	1	1	0	×	×	×	×	×	0	1	0	1	0
0	1	1	1	0	×	×	×	×	0	1	0	1	1
0	1	1	1	1	0	×	×	×	0	1	1	0	0
0	1	1	1	1	1	0	×	×	0	1	1	0	1
0	1	1	1	1	1	1	0	×	0	1	1	1	0
0	1	1	1	1	1	1	1	0	0	1	1	1	1

4.3 编码器

4.3.3 二-十进制编码器

表 4-7 二-十进制编码器的真值表

输入	D	C	B	A
I_0	0	0	0	0
I_1	0	0	0	1
I_2	0	0	1	0
I_3	0	0	1	1
I_4	0	1	0	0
I_5	0	1	0	1
I_6	0	1	1	0
I_7	0	1	1	1
I_8	1	0	0	0
I_9	1	0	0	1

$$D = I_8 + I_9 \quad ;$$

$$C = I_4 + I_5 + I_6 + I_7 \quad ;$$

$$B = I_2 + I_3 + I_6 + I_7 \quad ;$$

$$A = I_1 + I_3 + I_5 + I_7 + I_9 \quad ;$$

4.3 编码器

4.3.3 二-十进制编码器

表 4-8 74LS147 真值表

输 入									输 出			
I9	I8	I7	I6	I5	I4	I3	I2	I1	D	C	B	A
1	1	1	1	1	1	1	1	1	1	1	1	1
0	×	×	×	×	×	×	×	×	0	1	1	0
1	0	×	×	×	×	×	×	×	0	1	1	1
1	1	0	×	×	×	×	×	×	1	0	0	0
1	1	1	0	×	×	×	×	×	1	0	0	1
1	1	1	1	0	×	×	×	×	1	0	1	0
1	1	1	1	1	0	×	×	×	1	0	1	1
1	1	1	1	1	1	0	×	×	1	1	0	0
1	1	1	1	1	1	1	0	×	1	1	0	1
1	1	1	1	1	1	1	1	0	1	1	1	0

4.3 编码器

4.3.3 二-十进制编码器

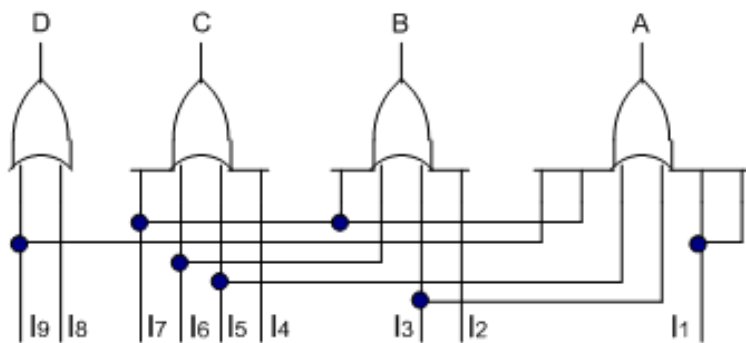


图4-10 二-十进制编码器逻辑图

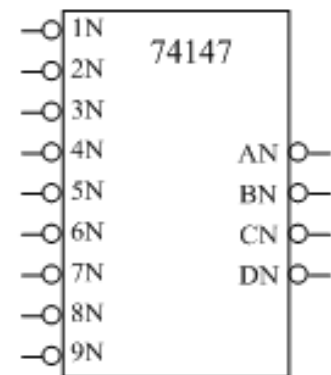


图4-11 74LS147的逻辑符号

4.4 译码器

4.4.1 译码器的概念

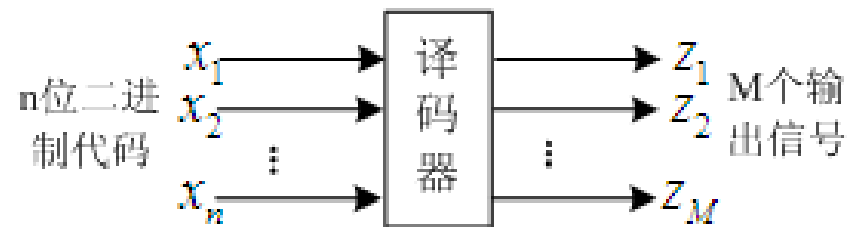


图 4-12 译码器功能框图

4.4 译码器

4.4.2 二进制译码器

表 4-9 三位二进制译码器真值表

A_2	A_1	A_0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

$$Y_0 = \bar{A}_2 \bar{A}_1 \bar{A}_0$$

$$Y_1 = \bar{A}_2 \bar{A}_1 A_0$$

$$Y_2 = \bar{A}_2 A_1 \bar{A}_0$$

$$Y_3 = \bar{A}_2 A_1 A_0$$

$$Y_4 = A_2 \bar{A}_1 \bar{A}_0$$

$$Y_5 = A_2 \bar{A}_1 A_0$$

$$Y_6 = A_2 A_1 \bar{A}_0$$

$$Y_7 = A_2 A_1 A_0$$

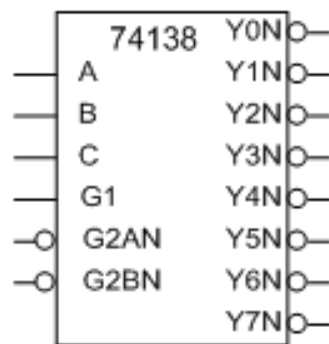


图 4-13 74LS138
逻辑符号图

4.4 译码器

4.4.3 二-十进制译码器

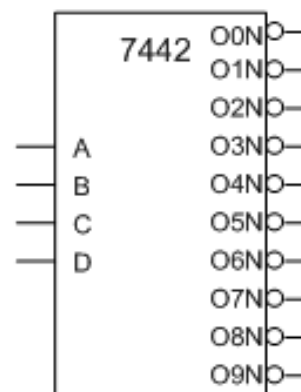


图 4-14 74LS42
逻辑图

$$Y_0 = \overline{A_3} \overline{A_2} \overline{A_1} \overline{A_0}; Y_1 = \overline{A_3} \overline{A_2} \overline{A_1} A_0; Y_2 = \overline{A_3} \overline{A_2} A_1 \overline{A_0}; Y_3 = \overline{A_3} \overline{A_2} A_1 A_0; Y_4 = \overline{A_3} A_2 \overline{A_1} \overline{A_0}$$
$$Y_5 = \overline{A_3} A_2 \overline{A_1} A_0; Y_6 = \overline{A_3} A_2 A_1 \overline{A_0}; Y_7 = \overline{A_3} A_2 A_1 A_0; Y_8 = A_3 \overline{A_2} \overline{A_1} \overline{A_0}; Y_9 = A_3 \overline{A_2} \overline{A_1} A_0$$

4.4 译码器

4.4.4 用集成译码器实现逻辑函数

【例4-4】试用译码器74LS138和与非门实现逻辑函数： $F(A,B,C) = AB + BC$ 。

$$\begin{aligned} F(A,B,C) &= AB + BC = AB(C + \bar{C}) + (A + \bar{A})BC \\ &= AB\bar{C} + ABC + \bar{A}BC = \sum m(3,6,7) \end{aligned}$$

$$F(A,B,C) = m_3 + m_6 + m_7 = \overline{\overline{m_3} \cdot \overline{m_6} \cdot \overline{m_7}} = \overline{Y_3 \cdot Y_6 \cdot Y_7}$$

$$X(A,B,C) = A(\bar{B}C) + A(B\bar{C}) + A(BC) = m_5 + m_6 + m_7 = \overline{\overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7}} = \overline{Y_5 \cdot Y_6 \cdot Y_7}$$

4.4 译码器

4.4.4 用集成译码器实现逻辑函数

【例4-5】有真值表如表4-11所示，用74LS138和与非门设计对应的逻辑电路。

表 4-11 例 4-5 真值表

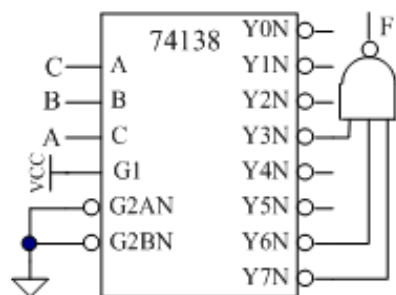
C	B	A	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S_i = \bar{C}\bar{B}A + \bar{C}B\bar{A} + C\bar{B}\bar{A} + CBA = m_1 + m_2 + m_4 + m_7$$

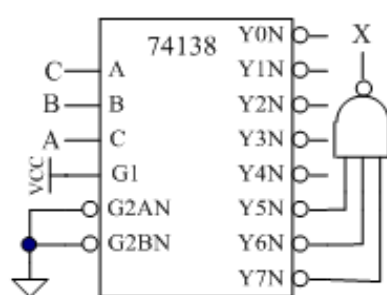
$$= \overline{m_1 \cdot m_2 \cdot m_4 \cdot m_7} = \overline{Y_1 \cdot Y_2 \cdot Y_4 \cdot Y_7}$$

$$C_i = \bar{C}BA + \bar{C}\bar{B}A + C\bar{B}\bar{A} + ABC = m_3 + m_5 + m_6 + m_7$$

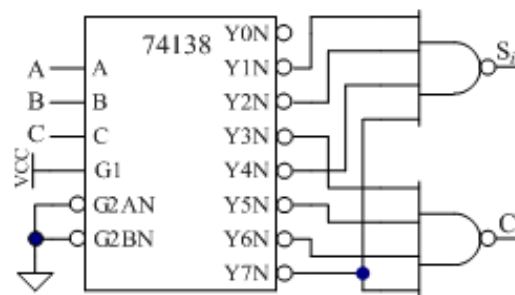
$$= \overline{m_3 \cdot m_5 \cdot m_6 \cdot m_7} = \overline{Y_3 \cdot Y_5 \cdot Y_6 \cdot Y_7}$$



(a)



(b)



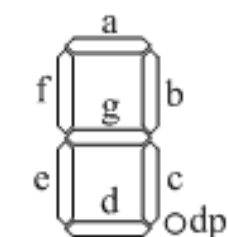
(c)

图 4-15 由 74138 构建的逻辑电路

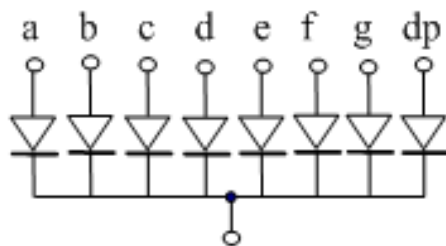
4.4 译码器

4.4.5 显示控制译码器

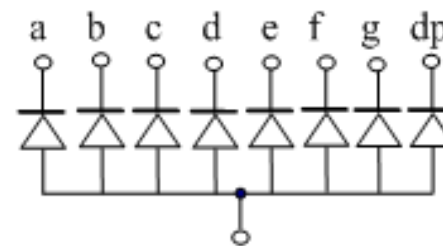
1. 七段数码显示器



(a) 数码显示器



(b) 共阴极数码管



(c) 共阳极数码管

图 4-16 七段数码管及其电路结构

4.4 译码器

表4-12 共阳极数码管段选码表

显示字符	dp	g	f	e	d	c	b	a	段选码
0	1	1	0	0	0	0	0	0	C0H
1	1	1	1	1	1	0	0	1	F9H
2	1	0	1	0	0	1	0	0	A4H
3	1	0	1	1	0	0	0	0	B0H
4	1	0	0	1	1	0	0	1	99H
5	1	0	0	1	0	0	1	0	92H
6	1	0	0	0	0	0	1	0	82H
7	1	1	1	1	1	0	0	0	F8H
8	1	0	0	0	0	0	0	0	80H
9	1	0	0	1	0	0	0	0	90H
A	1	0	0	0	1	0	0	0	88H
B	1	0	0	0	0	0	1	1	83H
C	1	1	0	0	0	1	1	0	C6H
D	1	0	1	0	0	0	0	1	A1H
E	1	0	0	0	0	1	1	0	86H
F	1	0	0	0	1	1	1	0	8EH

4.4 译码器

4.4.5 显示控制译码器

1. 七段数码显示器



图 4-17 十进制数的显示效果

4.4 译码器

4.4.5 显示控制译码器

2. 七段显示译码器

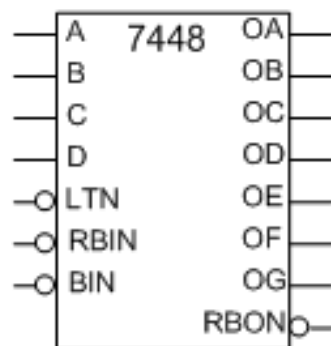


图 4-18 74LS48 的逻辑符号

表 4-13 74LS48 真值表

十进制数	输入						BI/ RBO	输出
	LT	RBI	D	C	B	A		a b c d e f g
0	1	1	0	0	0	0	1	1 1 1 1 1 1 0
1	1	×	0	0	0	1	1	0 1 1 0 0 0 0
2	1	×	0	0	1	0	1	1 1 0 1 1 0 1
3	1	×	0	0	1	1	1	1 1 1 1 0 0 1
4	1	×	0	1	0	0	1	0 1 1 0 0 1 1
5	1	×	0	1	0	1	1	1 0 1 1 0 1 1
6	1	×	0	1	1	0	1	0 0 1 1 1 1 1
7	1	×	0	1	1	1	1	1 1 1 0 0 0 0
8	1	×	1	0	0	0	1	1 1 1 1 1 1 1
9	1	×	1	0	0	1	1	1 1 1 1 0 1 1
消隐	×	×	×	×	×	×	0	0 0 0 0 0 0 0
脉冲消隐	1	0	0	0	0	0	0	0 0 0 0 0 0 0
灯测试	0	×	×	×	×	×	1	1 1 1 1 1 1 1

4.4 译码器

4.4.5 显示控制译码器

3. 多数数码管动态扫描显示控制方法

【例4-6】用一片74LS48和74LS138实现八位数码管的八位十进制数显示。

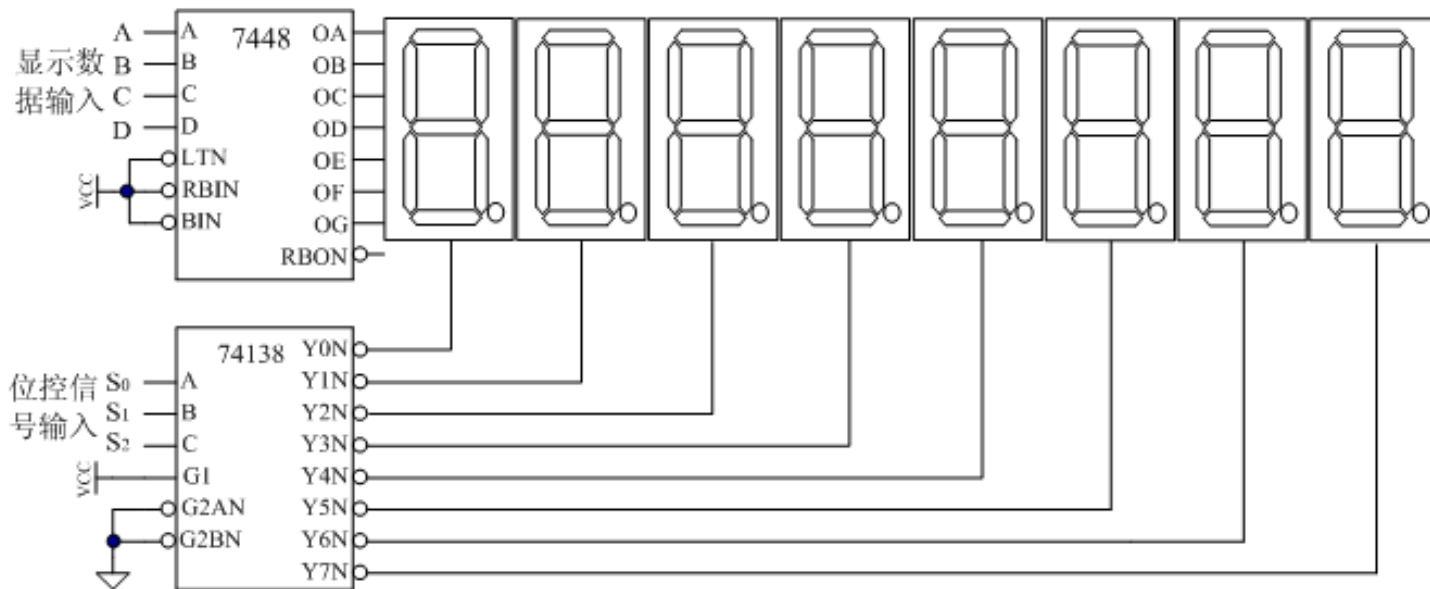


图 4-19 用 74LS48 和 74LS138 实现八位十进制数动态扫描显示

4.5 数据选择器与数据分配器

4.5.1 数据选择器

$$Y = D_0 \bar{A}_1 \bar{A}_0 + D_1 \bar{A}_1 A_0 + D_2 A_1 \bar{A}_0 + D_3 A_1 A_0 = \sum_{i=0}^3 D_i m_i$$

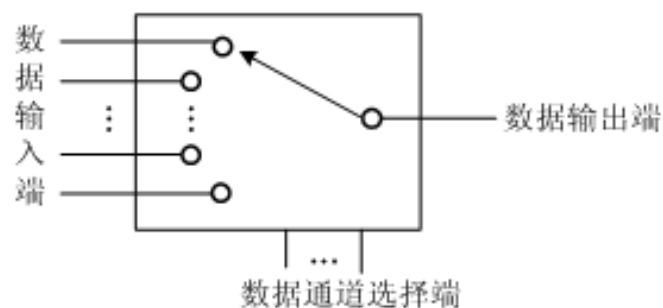


图 4-20 2ⁿ选 1 数据选择器示意图

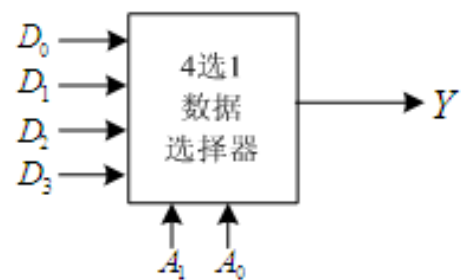


图 4-21 4 选 1 数据选择器逻辑符号

4.5 数据选择器与数据分配器

4.5.1 数据选择器

表 4-14 4选1数据选择器真值表

输 入			输 出
A_1	A_0	GN	Y
×	×	1	0
0	0	0	D_0
0	1	0	D_1
1	0	0	D_2
1	1	0	D_3

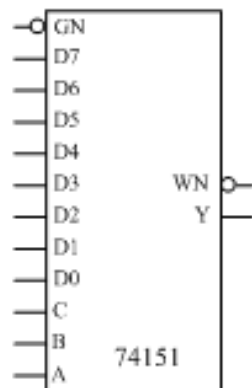


图 4-22 74LS151
逻辑符号

$$Y = D_0 \bar{A}_2 \bar{A}_1 \bar{A}_0 + D_1 \bar{A}_2 \bar{A}_1 A_0 + \dots + D_7 A_2 A_1 A_0 = \sum_{i=0}^7 D_i m_i$$

4.5 数据选择器与数据分配器

4.5.1 数据选择器

表 4-15 74LS151 的逻辑功能真值表

输 入				输 出	
A ₂	A ₁	A ₀	GN	Y	W
×	×	×	1	0	1
0	0	0	0	D ₀	$\overline{D_0}$
0	0	1	0	D ₁	$\overline{D_1}$
0	1	0	0	D ₂	$\overline{D_2}$
0	1	1	0	D ₃	$\overline{D_3}$
1	0	0	0	D ₄	$\overline{D_4}$
1	0	1	0	D ₅	$\overline{D_5}$
1	1	0	0	D ₆	$\overline{D_6}$
1	1	1	0	D ₇	$\overline{D_7}$

4.5 数据选择器与数据分配器

4.5.1 数据选择器

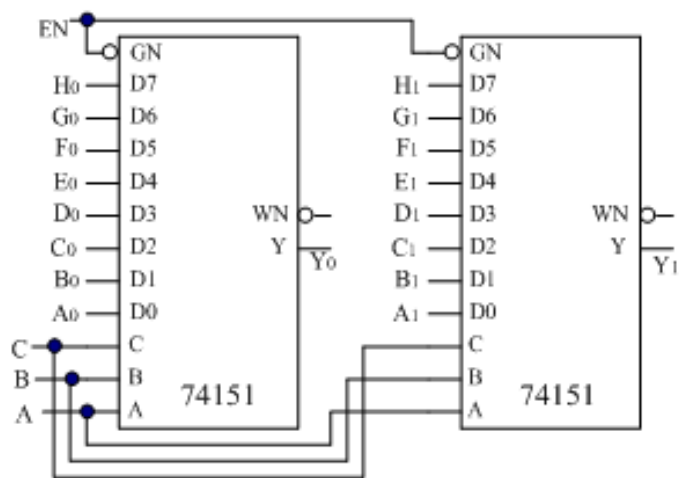


图 4-23 两个 74151 接成一个两位 8 选 1 选择器

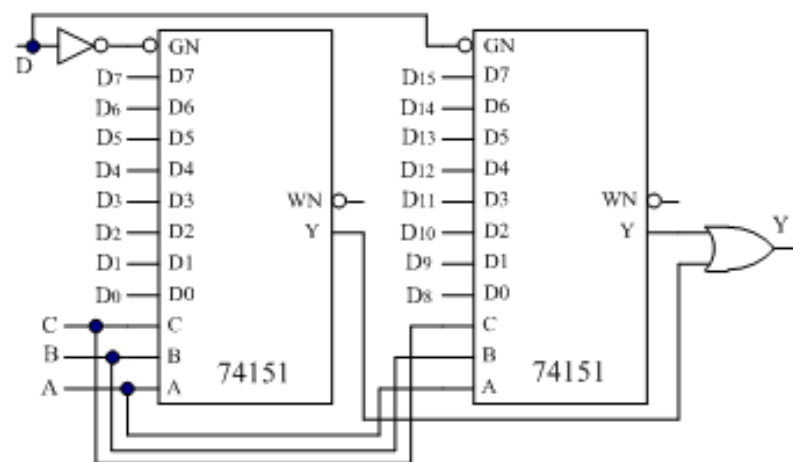


图 4-24 两个 74151 接成 16 选 1 选择器

4.5 数据选择器与数据分配器

4.5.2 用数据选择器实现逻辑函数

$$Y = \sum_{i=0}^{2^n-1} D_i m_i$$

【例4-7】用4选1数据选择器74153模块实现例4-3的逻辑函数。

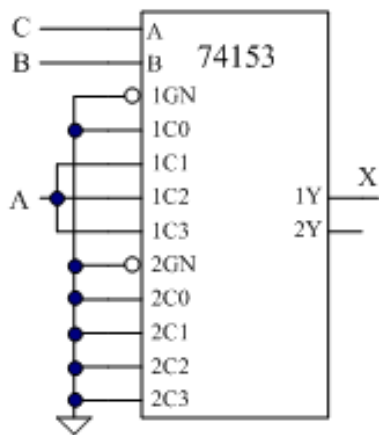


图 4-25 例 4-7 电路图

$$1Y = 1C0(\bar{B}\bar{A}) + 1C1(\bar{B}A) + 1C2(B\bar{A}) + 1C3(BA)$$

$$X = 0(\bar{B}\bar{C}) + A(\bar{B}C) + A(B\bar{C}) + A(BC)$$

4.5 数据选择器与数据分配器

4.5.2 用数据选择器实现逻辑函数

【例4-8】用8选1数据选择器74LS151实现逻辑函数： $L = \bar{A}\bar{B}C + \bar{A}B\bar{C} + AB$

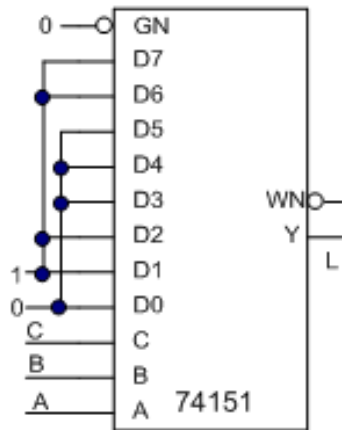


图 4-26 例 4-8 的电路图

$$L = \bar{A}\bar{B}C + \bar{A}B\bar{C} + AB = \bar{A}\bar{B}C + \bar{A}B\bar{C} + ABC\bar{C} + ABC$$

$$Y = m_0D_0 + m_1D_1 + m_2D_2 + m_3D_3 + m_4D_4 + m_5D_5 + m_6D_6 + m_7D_7$$

$$D_0=0 ; D_1=1 ; D_2=1 ; D_3=0 ;$$

$$D_4=0 ; D_5=0 ; D_6=1 ; D_7=1 ;$$

4.5 数据选择器与数据分配器

4.5.3 数据分配器

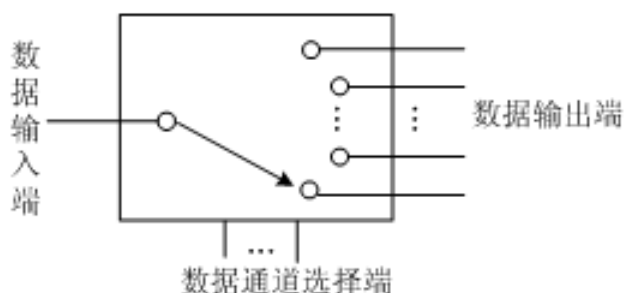


图 4-27 数据分配器示意图

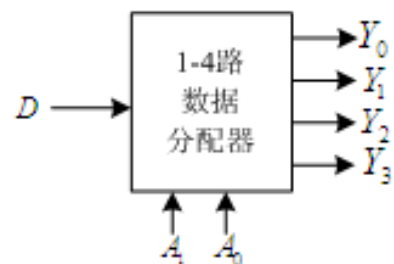


图 4-28 1路-4路数据分配器的逻辑符号

表 4-16 1路-4路数据分配器真值表

输入		输出			
A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	0	1	1	1	D
0	1	1	1	D	1
1	0	1	D	1	1
1	1	D	1	1	1

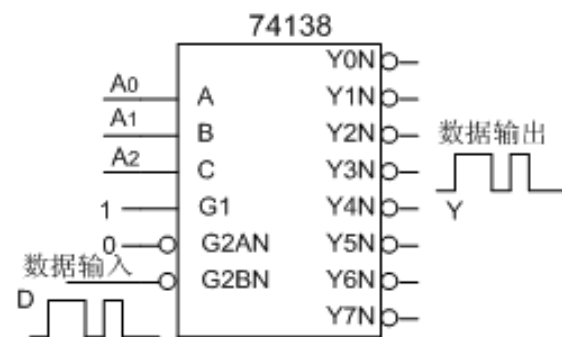


图 4-29 用 74LS138 构成 1-8 数据分配器

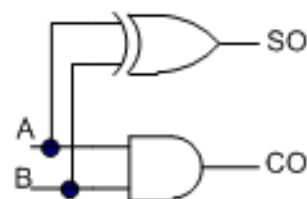
4.6 加法器

4.6.1 半加器

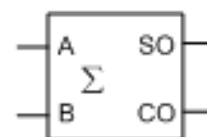
$$S = \bar{A}B + A\bar{B} = A \oplus B; \quad C = AB$$

表 4-17 半加器真值表

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



(a) 逻辑电路图



(b) 逻辑符号

图 4-30 半加器的逻辑电路图和逻辑符号

4.6 加法器

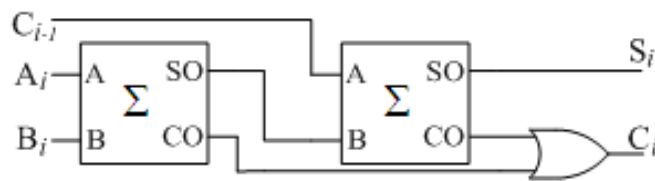
4.6.2 全加器

$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

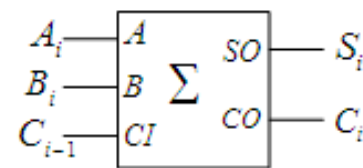
$$C_i = (A_i \oplus B_i)C_{i-1} + A_i B_i ;$$

表 4-18 全加器真值表

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



(a) 逻辑电路图



(b) 逻辑符号

图 4-31 全加器的逻辑电路图和逻辑符号

4.6 加法器

4.6.3 多位加法器

1. 串行进位加法器

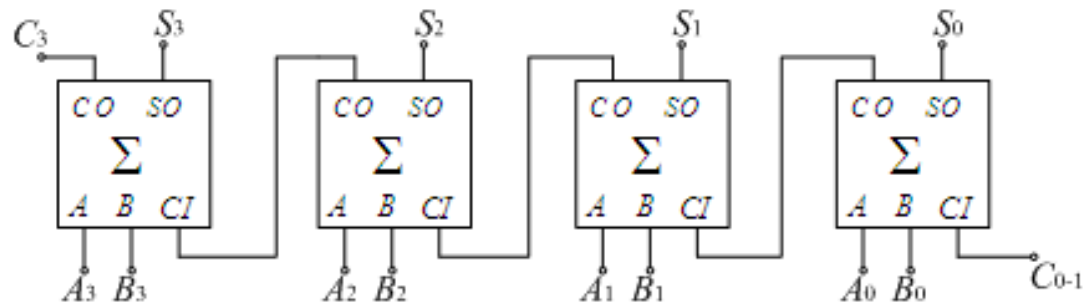


图 4-32 四位二进制串行进位加法器

4.6 加法器

4.6.3 多位加法器

2. 并行进位加法器

【例4-9】 试采用四位全加器74LS83完成8421 BCD码到余3码的转换。

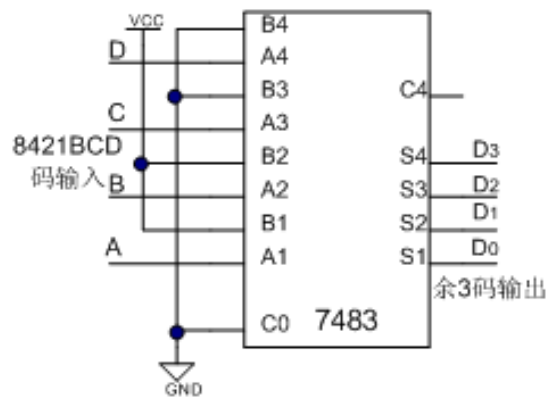


图 4-33 例 4-9 电路

4.7 比较器

4.7.1 1位数值比较器

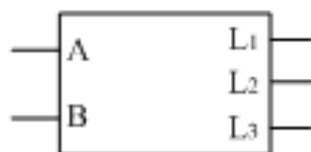


图 4-34 1位比较器逻辑图

表 4-19 1位数值比较器的真值表

A	B	$L_1(A>B)$	$L_2(A<B)$	$L_3(A=B)$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

$$L_1 = A\bar{B}; \quad L_2 = \bar{A}B; \quad L_3 = \bar{A}\bar{B} + AB = \overline{\bar{A}B + A\bar{B}}$$

4.7 比较器

4.7.2 集成数字比较器

表 4-21 74LS85 功能真值表

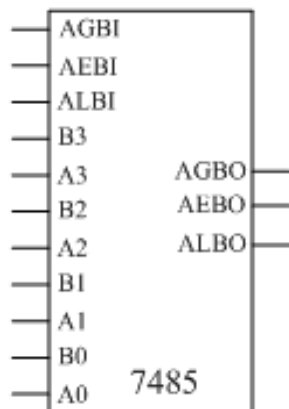


图 4-35 74LS85 的逻辑图

比 较 输 入				级 联 输 入			输 出		
A ₃ B ₃	A ₂ B ₂	A ₁ B ₁	A ₀ B ₀	A' ₃ >B'	A' ₃ <B'	A'=B'	A>B	A<B	A=B
A ₃ >B ₃	×	×	×	×	×	×	1	0	0
A ₃ <B ₃	×	×	×	×	×	×	0	1	0
A ₃ =B ₃	A ₂ >B ₂	×	×	×	×	×	1	0	0
A ₃ =B ₃	A ₂ <B ₂	×	×	×	×	×	0	1	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	×	×	×	×	1	0	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	×	×	×	×	0	1	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	×	×	×	1	0	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	×	×	×	0	1	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	1	0	0	1	0	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	0	1	0	0	1	0
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	0	0	1	0	0	1

4.7 比较器

4.7.3 集成数值比较器应用举例

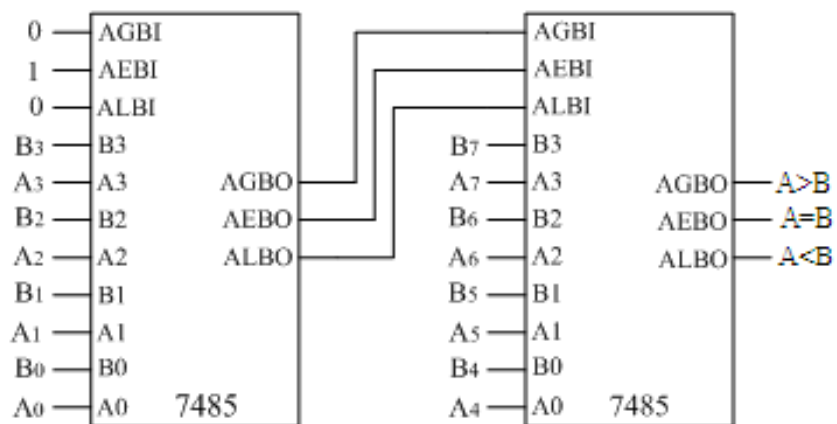


图 4-36 两片 7485 串联扩展为 8 位比较器

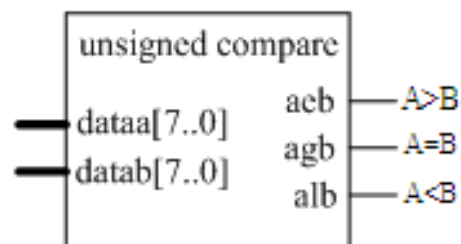


图 4-37 参数可设置无符号 8 位比较器

4.7 比较器

4.7.3 集成数值比较器应用举例

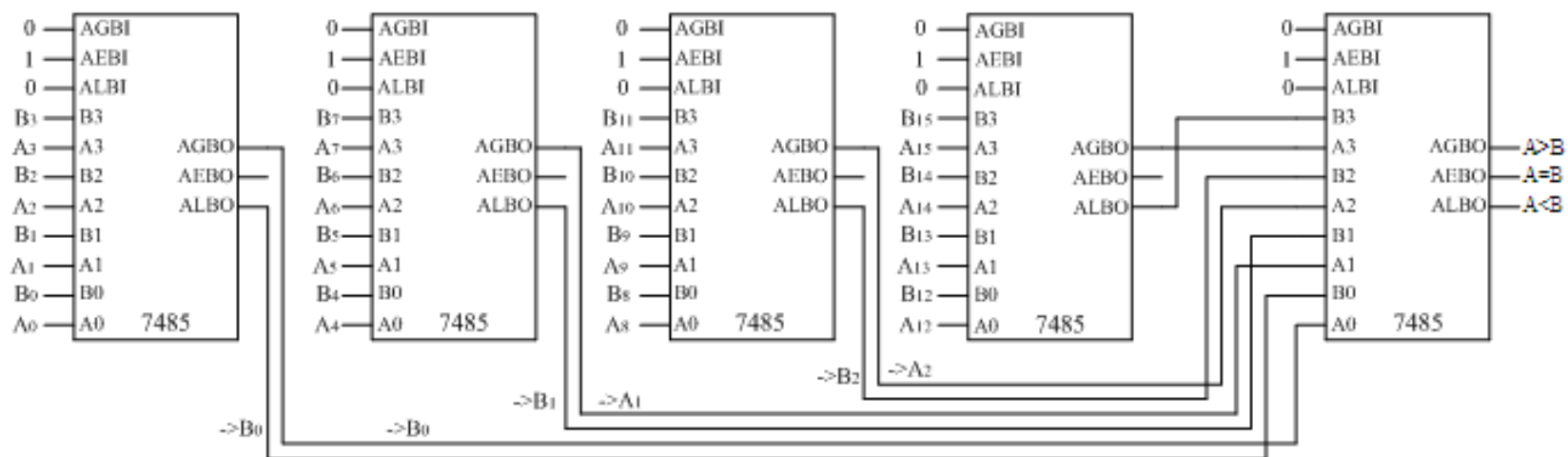


图 4-38 五片四位二进制数值比较器并联扩展成的 16 位比较器

4.8 广义译码器概念

表 4-3 例 4-3 真值表

A	B	C	X	Y
0	0	0	0	1
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

4.9 可编程逻辑器件的结构与原理

4.9.1 PLD概述

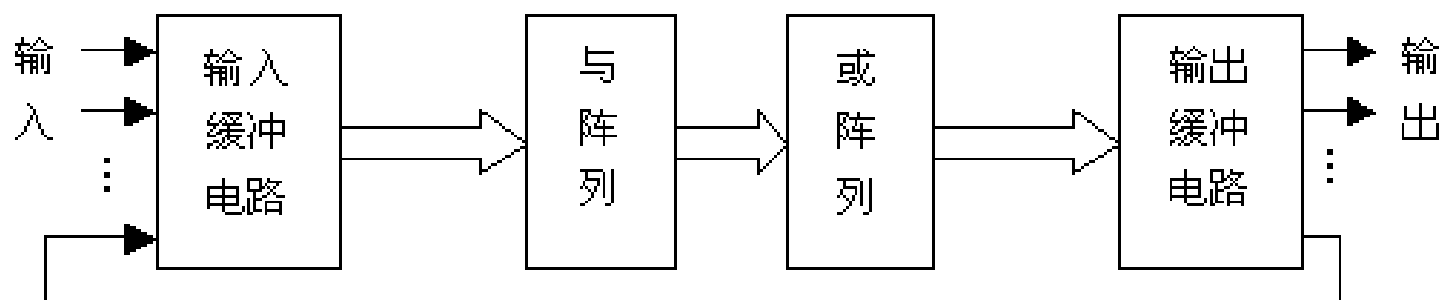


图 4-39 基本 PLD 器件的原理结构图

4.9 可编程逻辑器件的结构与原理

4.9.2 简单PLD的结构与工作原理

1. 电路符号表示

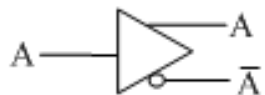


图 4-40 PLD 的互补缓冲器

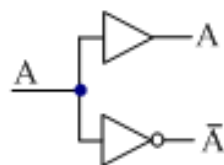


图 4-41 PLD 的互补输入



图 4-42 PLD 中与阵列表示



图 4-43 PLD 中或阵列的表示



图 4-44 阵列线连接表示

4.9 可编程逻辑器件的结构与原理

4.9.2 简单PLD的结构与工作原理

2. PROM

$$F_0 = A_0 \bar{A}_1 + \bar{A}_0 A_1 ;$$

$$F_1 = A_1 A_0 ;$$

即: $F_0 = A_0 \oplus A_1 ;$

$$F_1 = A_0 A_1 ;$$

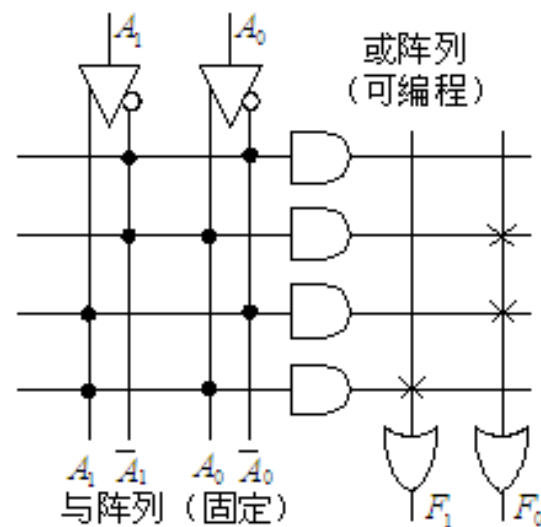


图 4-45 PROM 表达的 PLD 阵列图

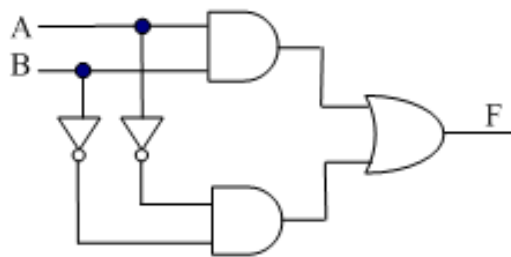
4.9 可编程逻辑器件的结构与原理

4.9.2 简单PLD的结构与工作原理

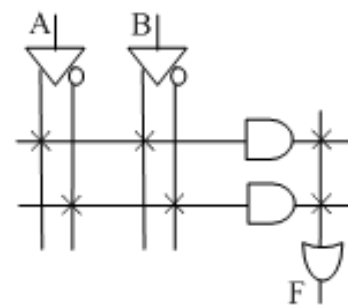
2. PROM

【例4-10】 图4-46(a)给出了函数F的逻辑图，假设与阵列和或阵列都是可编程的，试画出相应的PLD结构图。

$$F = AB + \bar{A}\bar{B}$$



(a) 逻辑门构成的电路图



(b) PLD 结构图

图 4-46 函数 F 的逻辑结构图和 PLD 结构图

4.9 可编程逻辑器件的结构与原理

4.9.2 简单PLD的结构与工作原理

3. PLA

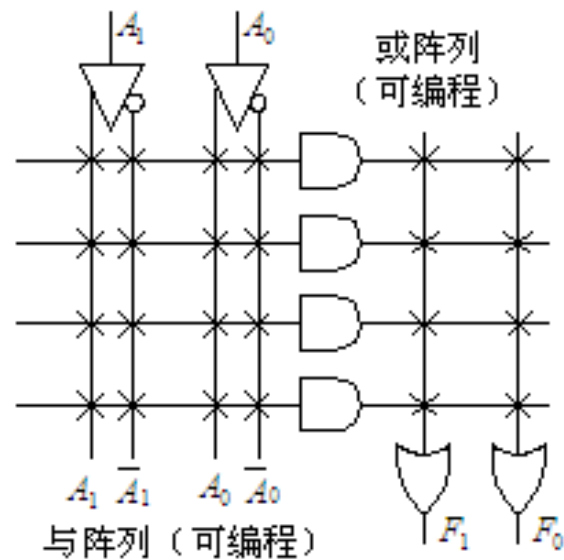


图 4-47 PLA 部分逻辑阵列示意图

4.9 可编程逻辑器件的结构与原理

4.9.2 简单PLD的结构与工作原理

4. PAL

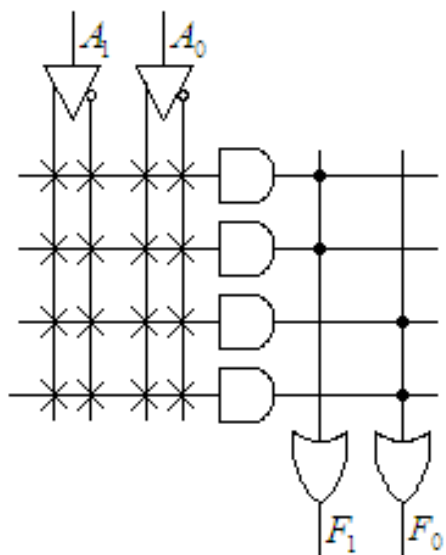


图 4-48 PAL 结构

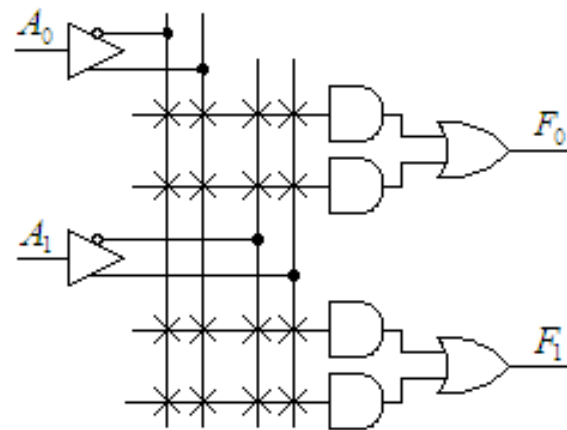


图 4-49 PAL 的常用表示

4.9 可编程逻辑器件的结构与原理

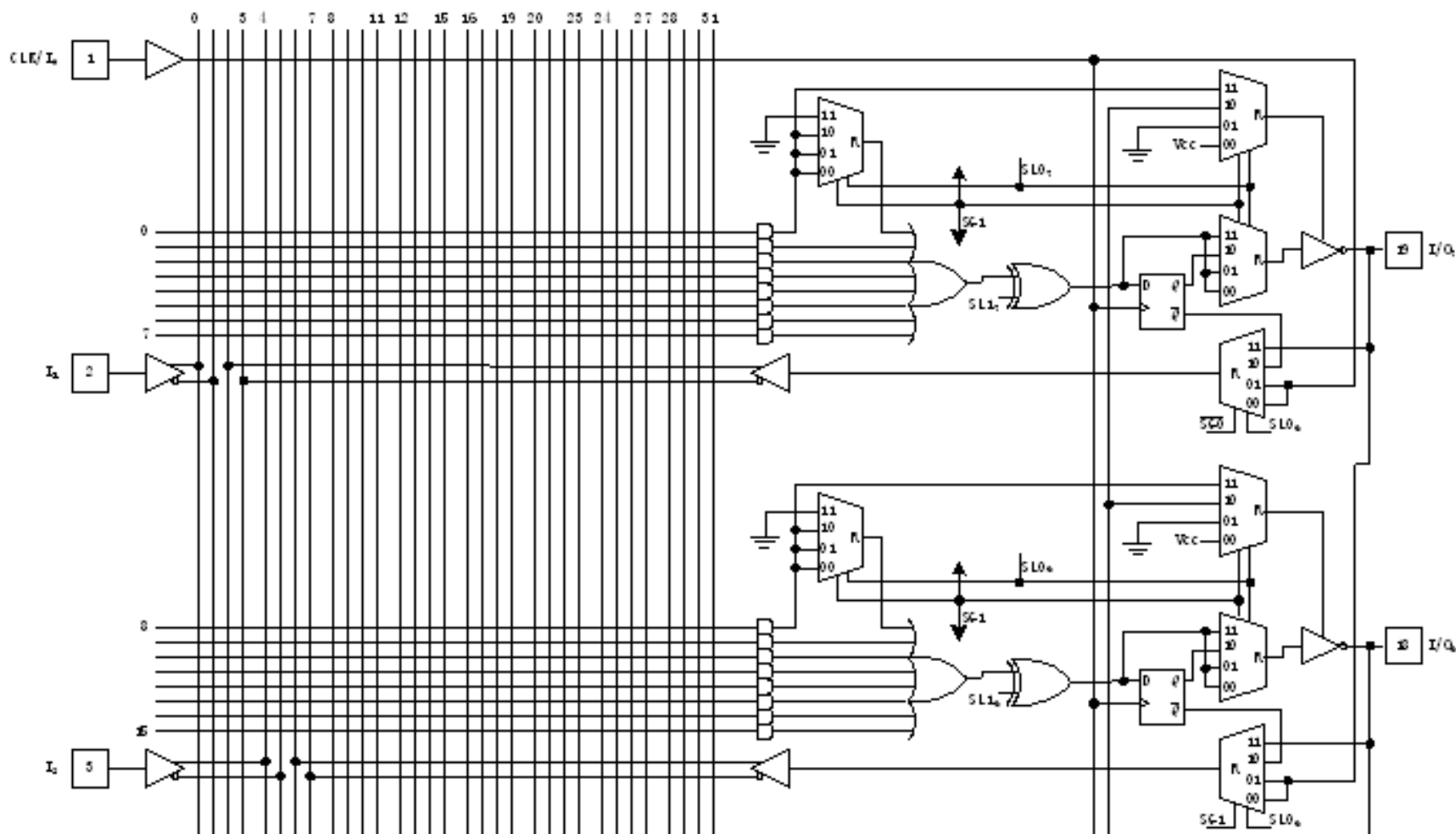


图 4-50 PAL16V8 内部的部分逻辑结构图

4.10 组合电路的竞争与冒险

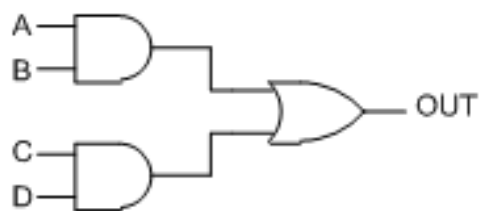


图 4-51 存在逻辑冒险的电路示例

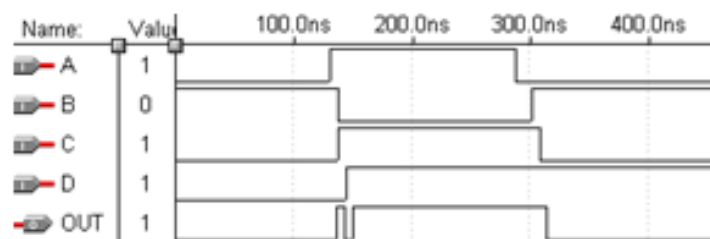


图 4-52 电路图 4-51 假设的仿真波形

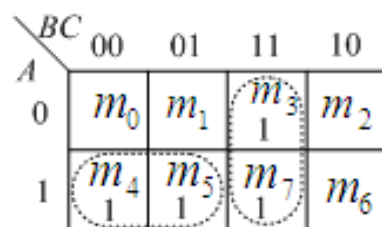
4.10 组合电路的竞争与冒险

4.10.1 逻辑冒险现象的判断

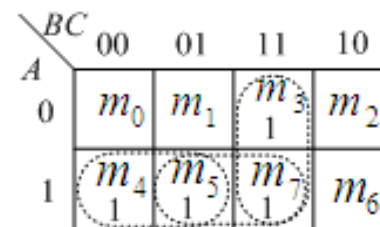
1. 代数法

$$A + \bar{A} \quad \bar{A}A$$

2. 卡诺图法



(a)



(b)

图 4-53 例 4-11 的卡诺图

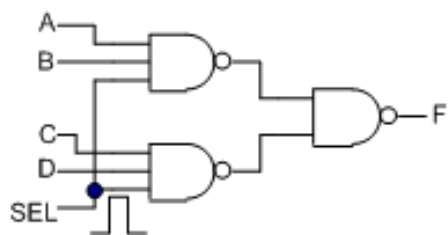
4.10 组合电路的竞争与冒险

4.10.2 冒险现象解决方法

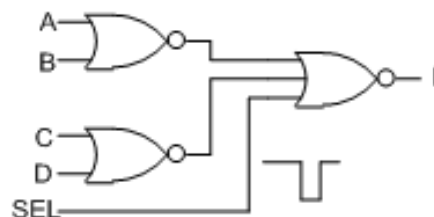
1. 增加冗余项

$$F = A\bar{B} + BC \qquad F = A\bar{B} + BC + AC \qquad F = \bar{B} + B + 1$$

2. 选通法



(a) 选通脉冲 SEL 采用高电平有效的电路



(b) 选通脉冲 SEL 采用低电平有效的电路

图 4-54 用选通脉冲避免冒险

习题

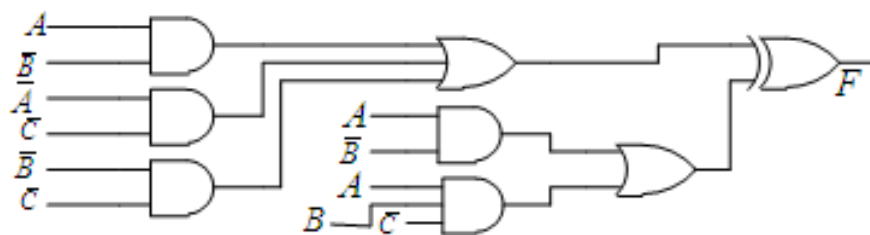


图 4-55 题 4-1 逻辑图

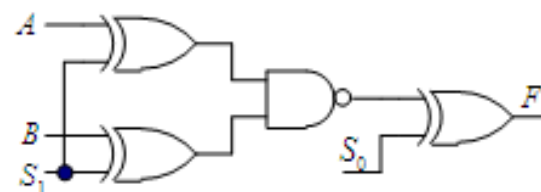


图 4-56 题 4-2 电路

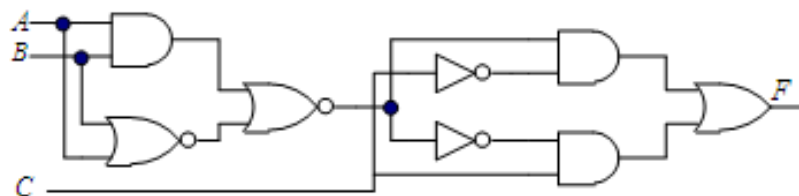


图 4-57 题 4-3 逻辑图

习题

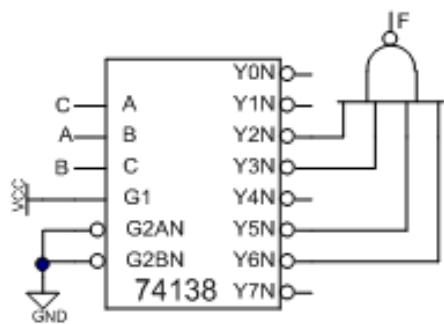


图 4-58 题 4-4 逻辑图

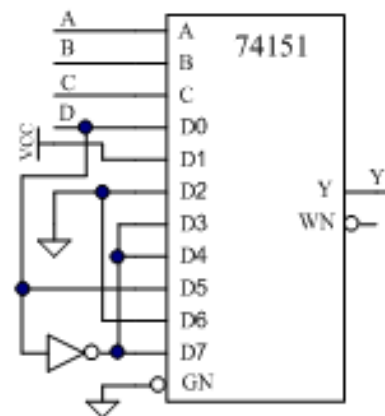


图 4-60 题 4-12 逻辑图

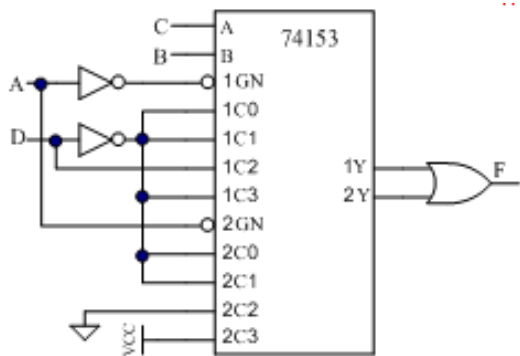


图 4-59 题 4-18 逻辑图

表 4-20 (1/2)74153 功能表

GN	B	A	Y
1	x	x	0
0	0	0	C ₀
0	0	1	C ₁
0	1	0	C ₂
0	1	1	C ₃

习题

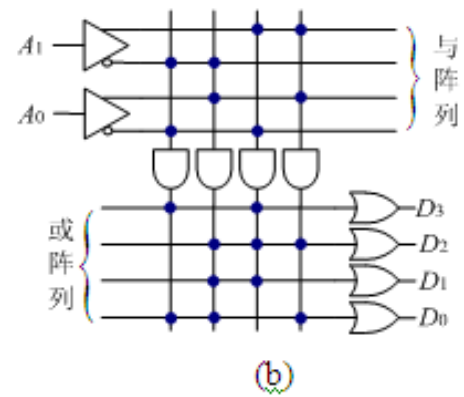
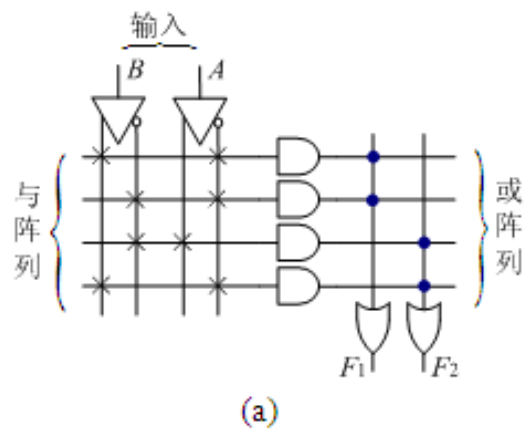


图 4-61 题 4-30